

Docket No.: 69804-015

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Mitsutoshi FUJITA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: April 02, 2004	:	Examiner: Unknown
	:	
For:		METHOD OF DESIGNING LOW-POWER SEMICONDUCTOR INTEGRATED CIRCUIT

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-122717, filed April 25, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: April 2, 2004



69804-015
FUJITA, et al.
April 2, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 4 月 2 5 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 1 2 2 7 1 7

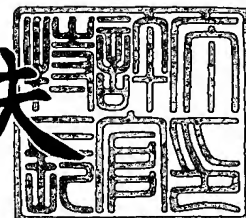
[ST. 10/C]: [J P 2 0 0 3 - 1 2 2 7 1 7]

出 願 人
Applicant(s): 松 下 電 器 産 業 株 式 会 社

2 0 0 4 年 2 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 8 2 9 9



【書類名】 特許願

【整理番号】 5038340143

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 藤田 光俊

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 近藤 秀二

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100098291

 【弁理士】

 【氏名又は名称】 小笠原 史朗

【手数料の表示】

 【予納台帳番号】 035367

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9405386

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の低消費電力化設計方法

【特許請求の範囲】

【請求項 1】 半導体集積回路のレイアウト結果を変更する方法であって、セルの種類とセルの配置情報とセル間の配線情報とを含んだレイアウト結果から、配線の分岐点を検出するステップと、

検出した分岐点より後段側にある配線上の所定の箇所に、所定量の負荷を仮想的に挿入するステップと、

分岐点を經由してセル間を結ぶ経路の遅延量を、前記負荷を挿入した場合と、前記負荷を挿入しない場合とについて求めるステップと、

求めた経路の遅延量に基づき、負荷分割用バッファの挿入箇所を決定するステップと、

決定した挿入箇所に前記負荷分割用バッファを挿入するとの条件の下で、経路のタイミング制約に基づき、前記挿入箇所の前段に位置する駆動セルの駆動能力を求めるステップと、

前記レイアウト結果に基づき、前記挿入箇所に前記負荷分割用バッファを挿入可能か否かを判定するステップと、

前記判定結果に基づき、前記レイアウト結果を変更する処理として、前記挿入箇所に前記負荷分割用バッファを配置する処理と、前記駆動セルを求めた駆動能力を有するセルに変更する処理と、回路変更に伴い配線情報を変更する処理とを行うステップとを備えた、半導体集積回路の設計方法。

【請求項 2】 前記負荷分割用バッファの挿入箇所を決定するステップは、ある箇所に前記負荷を仮想的に挿入したときに、所定の判断基準の下でタイミング制約が厳しいと判断される経路の遅延量が所定以上に変化した場合、当該箇所を前記負荷分割用バッファの挿入箇所として決定することを特徴とする、請求項 1 に記載の半導体集積回路の設計方法。

【請求項 3】 前記負荷分割用バッファの挿入箇所を決定するステップは、同じ分岐点を經由してセル間を結ぶ経路のうちでタイミング制約が最も厳しい経路について、タイミング制約が厳しいと判断することを特徴とする、請求項 2 に

記載の半導体集積回路の設計方法。

【請求項 4】 前記負荷を仮想的に挿入するステップは、所定の判断基準に従い必要性を判断した上で、検出した分岐点より後段側にある配線上の所定の箇所に、前記負荷を仮想的に挿入することを特徴とする、請求項 1 に記載の半導体集積回路の設計方法。

【請求項 5】 前記負荷を仮想的に挿入するステップは、
分岐点より後段側の全負荷容量を求めるステップと、
前記駆動セルの全負荷容量を求めるステップと、
前記駆動セルの全負荷容量に対する後段側の全負荷容量の割合が所定以上である場合に、分岐点より後段側にある配線上の所定の箇所に、前記負荷を仮想的に挿入するステップとを含むことを特徴とする、請求項 4 に記載の半導体集積回路の設計方法。

【請求項 6】 前記負荷を仮想的に挿入するステップは、
分岐点より後段側にある配線のそれぞれについて、当該配線より後段側の全負荷容量を求めるステップと、
ある分岐点について求めた後段側の全負荷容量が所定以上に不均衡である場合に、求めた後段側の全負荷容量が最も大きくなる配線上の所定の箇所に、前記負荷を仮想的に挿入するステップとを含むことを特徴とする、請求項 4 に記載の半導体集積回路の設計方法。

【請求項 7】 前記負荷を仮想的に挿入するステップは、
分岐点より後段側にある配線のそれぞれについて、当該配線を含む経路のタイミング制約の最悪値を求めるステップと、
ある分岐点について求めたタイミング制約の最悪値が所定以上に不均衡である場合に、求めたタイミング制約の最悪値が最も厳しくなる配線上の所定の箇所に、前記負荷を挿入することを特徴とする、請求項 4 に記載の半導体集積回路の設計方法。

【請求項 8】 経路の遅延量を求めるステップより前に、前記レイアウト結果から、回路の論理的な機能に影響を与えず、かつ、出力端子が分岐点を有する配線に接続される削除可能バッファを検出するステップをさらに備え、

経路の遅延量を求めるステップは、前記削除可能バッファの前段に位置するセルと前記削除可能バッファの次段に位置するセルとを結ぶ経路の遅延量を、前記削除可能バッファを仮想的に削除した場合についても求め、

前記レイアウト結果を変更するステップは、前記レイアウト結果に対して、前記削除可能バッファを削除する処理をさらに行うことを特徴とする、請求項 1 に記載の半導体集積回路の設計方法。

【請求項 9】 半導体集積回路のレイアウト結果に基づき、負荷分割した場合の遅延情報を求める方法であって、

セルの種類とセルの配置情報とセル間の配線情報とを含んだレイアウト結果から、配線の分岐点を検出するステップと、

検出した分岐点より後段側にある配線上の所定の箇所に、所定量の負荷を仮想的に挿入するステップと、

分岐点を經由してセル間を結ぶ経路の遅延量を、前記負荷を挿入した場合と、前記負荷を挿入しない場合とについて求めるステップとを備えた、半導体集積回路の遅延情報算出方法。

【請求項 10】 前記負荷を仮想的に挿入するステップは、所定の判断基準に従い必要性を判断した上で、検出した分岐点より後段側にある配線上の所定の箇所に、前記負荷を仮想的に挿入することを特徴とする、請求項 9 に記載の半導体集積回路の遅延情報算出方法。

【請求項 11】 経路の遅延量を求めるステップより前に、前記レイアウト結果から、回路の論理的な機能に影響を与えず、かつ、出力端子が分岐点を有する配線に接続される削除可能バッファを検出するステップをさらに備え、

経路の遅延量を求めるステップは、前記削除可能バッファの前段に位置するセルと前記削除可能バッファの次段に位置するセルとを結ぶ経路の遅延量を、前記削除可能バッファを仮想的に削除した場合についても求めることを特徴とする、請求項 9 に記載の半導体集積回路の遅延情報算出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路の低消費電力化設計方法に関し、より特定的には、トップダウン設計手法を用いて得られた回路のレイアウト結果を変更する低消費電力化設計方法に関する。

【0002】

【従来の技術】

近年、大規模ロジック L S I の多くは、トップダウン設計手法を用いて設計されている。トップダウン設計手法では、機能設計、論理合成、自動レイアウトなどの工程が行われる。機能設計工程では、設計者は、ハードウェア記述言語（HDL：Hardware Description Language）を用いて、設計すべき回路を機能的に記述する。論理合成工程では、設計者は、論理合成ツールを用いて、機能記述された回路をゲートレベルの回路データに変換する。自動レイアウト工程では、設計者は、自動レイアウトツールを用いて、ゲートレベルの回路データに基づき、回路に含まれるセルの配置やセル間の配線などを行った結果（レイアウト結果）を求める。求めたレイアウト結果に対しては、タイミング検証工程やレイアウト検証工程などが実行され、実際のデバイスは、これらの検証を終えたレイアウト結果を用いて製造される。

【0003】

最近では、回路の集積度が向上し、回路の動作周波数が高速化したために、回路設計の複雑さが増大し、これに伴い、論理合成から自動レイアウトまでの工程を短時間で完了させることが、非常に難しくなっている。このため、論理合成ツールや自動レイアウトツールについても、回路規模やチップサイズを最適化することよりも、むしろ短時間で工程を完了することに重点を置いた設計ツールが数多く開発されている。このような設計ツールでは、回路の動作に不可欠なタイミングを短時間で実現することが重視されるので、多くの場合、設計マージンを含んだ回路が得られる。ところが、設計マージンを多く含んだ回路は、動作時の消費電力が大きくなってしまふ。このため、回路の消費電力を削減するためには、回路設計の段階で過大な設計マージンをいかに削減するかが重要な問題となる。

【0004】

トップダウン設計手法を用いて設計された回路から、過大な設計マージンを削

減する方法としては、従来から、回路シミュレータを用いて消費電力を算出し最適なセルを選定する方法（例えば、特許文献1に記載された装置を用いる）や、回路から変更可能なセルを検出する方法（例えば、特許文献2参照）や、回路の動作を限定し、低消費電力に特化した設計手法で設計する方法などが知られている。

【0005】

図19は、回路シミュレータを用いた低消費電力化設計方法の工程図である。図19に示す方法は、機能設計工程S901と、論理合成工程S902と、自動レイアウト工程S903と、タイミング検証工程S904と、レイアウト検証工程S907と、デバイス製造工程S908とからなる一連の工程に、消費電力シミュレーション工程S905と回路修正工程S906とを追加したものである。消費電力シミュレーション工程S905では、タイミング検証を終えたレイアウト結果に基づき、回路シミュレータを用いて、回路の消費電力が算出される。算出された回路の消費電力が目標値を超えている場合には、回路修正工程S906において回路の修正が行われ、その後、修正の程度に応じて、論理合成工程S902、自動レイアウト工程S903、またはタイミング検証工程S904以降の処理が再び実行される。

【0006】

【特許文献1】

特開平5-205006号公報

【特許文献2】

特開平11-330252号公報

【0007】

【発明が解決しようとする課題】

しかしながら、上記従来の低消費電力化設計方法には、次のような問題がある。すなわち、回路シミュレータを用いて消費電力を算出し最適なセルを選定する方法では、繰り返し計算によって消費電力が最小となるセルを選定するために、膨大な処理時間が必要となり、開発期間が長くなる。これに加えて、セルの選定を行うだけでは、削減できる消費電力に限られる。また、変更可能なセルを検出

する方法は、具体的な手法が存在しないため、実用化のめどが立っていない。また、回路の動作を限定する方法には、アプリケーションに依存して仕様を決定する回路では、設計の初期段階で回路の動作を決定できないため、この方法を用いても効果が上がらない場合が多いという問題がある。

【 0 0 0 8 】

結局のところ、回路の消費電力を削減するためには、製造工程に入る直前の最終設計データから設計マージンを削減する方法が、最も効果的であると考えられる。ところが、最終設計データに基づき、短時間で効果的に回路を低消費電力化する有効な方法は知られていない。このため、実際の開発工程では、最終設計データが得られた時点で、開発期間を犠牲にして試行錯誤的に設計マージンを削除するか、あるいは、消費電力を犠牲にして設計マージンを残したまま製造するか、のいずれが行われているのが現状である。

【 0 0 0 9 】

それ故に、本発明は、トップダウン設計手法を用いて設計された回路のレイアウト結果に含まれる過大な設計マージンを、短時間で効果的に削減する低消費電力化設計方法を提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段および発明の効果】

回路に含まれるセル間の遅延量は、入力波形の傾きや負荷容量（次段セルの入力ピン容量と配線容量との合計値）などによって定まる。最近では、プロセスの微細化に伴い、配線容量がセル間の遅延量を定める支配的な要因となっている。特に、分岐する配線は、分岐しない配線よりも長く、大きな負荷容量を有する場合が多い。このため、分岐する配線を駆動するためには、駆動能力の高いセルが使用される。ところが、駆動能力の高いセルは、高速駆動を必要とする次段セルだけでなく、高速駆動を必要としない次段セルも高速で駆動してしまう。このようにトップダウン設計手法を用いて設計された回路では、分岐する配線の後段側に接続される次段セルが必要以上に高速駆動され、これに起因して無駄な電力が消費される。

【 0 0 1 1 】

そこで、本発明では、レイアウト結果に対して、分岐点より後段側にある配線上の所定の箇所に新たに負荷分割用バッファを挿入するとともに、分岐点の前段に位置する駆動セルの駆動能力を低くする。これにより、論理合成工程で生じた過大なマージンを削減し、回路の消費電力を削減する。より詳細には、本願発明は、以下のような構成を有している。

【0012】

第1の発明は、半導体集積回路のレイアウト結果を変更する方法であって、セルの種類とセルの配置情報とセル間の配線情報とを含んだレイアウト結果から、配線の分岐点を検出するステップと、検出した分岐点より後段側にある配線上の所定の箇所に、所定量の負荷を仮想的に挿入するステップと、分岐点を経由してセル間を結ぶ経路の遅延量を、負荷を挿入した場合と、負荷を挿入しない場合とについて求めるステップと、求めた経路の遅延量に基づき、負荷分割用バッファの挿入箇所を決定するステップと、決定した挿入箇所に負荷分割用バッファを挿入するとの条件の下で、経路のタイミング制約に基づき、挿入箇所の前段に位置する駆動セルの駆動能力を求めるステップと、レイアウト結果に基づき、挿入箇所に負荷分割用バッファを挿入可能か否かを判定するステップと、判定結果に基づき、レイアウト結果を変更する処理として、挿入箇所に負荷分割用バッファを配置する処理と、駆動セルを求めた駆動能力を有するセルに変更する処理と、回路変更に伴い配線情報を変更する処理とを行うステップとを備える。

このような第1の発明によれば、タイミング制約が厳しい次段セルとタイミング制約が厳しくない次段セルとを駆動するために、高い駆動能力を有する駆動セルが使用される場合に、分岐点より後段側にある配線上の所定の箇所に負荷分割用バッファを挿入するとともに、駆動セルの駆動能力を低くすることにより、回路の消費電力を削減することができる。

【0013】

第2の発明は、第1の発明において、負荷分割用バッファの挿入箇所を決定するステップは、ある箇所に負荷を仮想的に挿入したときに、所定の判断基準の下でタイミング制約が厳しいと判断される経路の遅延量が所定以上に変化した場合、当該箇所を負荷分割用バッファの挿入箇所として決定することを特徴とする。

【 0 0 1 4 】

第 3 の発明は、第 2 の発明において、負荷分割用バッファの挿入箇所を決定するステップは、同じ分岐点を経由してセル間を結ぶ経路のうちでタイミング制約が最も厳しい経路について、タイミング制約が厳しいと判断することを特徴とする。

このような第 2 または 3 の発明によれば、負荷分割用バッファを挿入することにより、回路の低消費電力化を達成できる箇所に、負荷分割用バッファを挿入することができる。

【 0 0 1 5 】

第 4 の発明は、第 1 の発明において、負荷を仮想的に挿入するステップは、所定の判断基準に従い必要性を判断した上で、検出した分岐点より後段側にある配線上の所定の箇所に、負荷を仮想的に挿入することを特徴とする。

【 0 0 1 6 】

第 5 の発明は、第 4 の発明において、負荷を仮想的に挿入するステップは、分岐点より後段側の全負荷容量を求めるステップと、駆動セルの全負荷容量を求めるステップと、駆動セルの全負荷容量に対する後段側の全負荷容量の割合が所定以上である場合に、分岐点より後段側にある配線上の所定の箇所に、負荷を仮想的に挿入するステップとを含むことを特徴とする。

【 0 0 1 7 】

第 6 の発明は、第 4 の発明において、負荷を仮想的に挿入するステップは、分岐点より後段側にある配線のそれぞれについて、当該配線より後段側の全負荷容量を求めるステップと、ある分岐点について求めた後段側の全負荷容量が所定以上に不均衡である場合に、求めた後段側の全負荷容量が最も大きくなる配線上の所定の箇所に、負荷を仮想的に挿入するステップとを含むことを特徴とする。

【 0 0 1 8 】

第 7 の発明は、第 4 の発明において、負荷を仮想的に挿入するステップは、分岐点より後段側にある配線のそれぞれについて、当該配線を含む経路のタイミング制約の最悪値を求めるステップと、ある分岐点について求めたタイミング制約の最悪値が所定以上に不均衡である場合に、求めたタイミング制約の最悪値が最

も厳しくなる配線上の所定の箇所に、負荷を挿入することを特徴とする。

このような第 4 ないし第 7 の発明によれば、負荷を仮想的に挿入する箇所を制限することにより、負荷を仮想的に挿入した場合について経路の遅延量を算出する回数が減少する。これにより、設計方法全体の処理時間を短縮することができる。

【 0 0 1 9 】

第 8 の発明は、第 1 の発明において、経路の遅延量を求めるステップより前に、レイアウト結果から、回路の論理的な機能に影響を与えず、かつ、出力端子が分岐点を有する配線に接続される削除可能バッファを検出するステップをさらに備え、経路の遅延量を求めるステップは、削除可能バッファの前段に位置するセルと削除可能バッファの次段に位置するセルとを結ぶ経路の遅延量を、削除可能バッファを仮想的に削除した場合についても求め、レイアウト結果を変更するステップは、レイアウト結果に対して、削除可能バッファを削除する処理をさらに行うことを特徴とする。

このような第 8 の発明によれば、バッファの追加による回路の低消費電力化に加えて、バッファの移動による回路の低消費電力化を行うことができ、回路の低消費電力化の効果をさらに高めることができる。

【 0 0 2 0 】

第 9 の発明は、半導体集積回路のレイアウト結果に基づき、負荷分割した場合の遅延情報を求める方法であって、セルの種類とセルの配置情報とセル間の配線情報とを含んだレイアウト結果から、配線の分岐点を検出するステップと、検出した分岐点より後段側にある配線上の所定の箇所に、所定量の負荷を仮想的に挿入するステップと、分岐点を経由してセル間を結ぶ経路の遅延量を、負荷を挿入した場合と、負荷を挿入しない場合とについて求めるステップとを備える。

このような第 9 の発明によれば、得られた遅延情報を好適な方法で設計者に提示することにより、設計者は、回路における負荷の分布状況を容易に把握することができる。

【 0 0 2 1 】

第 1 0 の発明は、第 9 の発明において、負荷を仮想的に挿入するステップは、

所定の判断基準に従い必要性を判断した上で、検出した分岐点より後段側にある配線上の所定の箇所に、負荷を仮想的に挿入することを特徴とする。

このような第10の発明によれば、負荷を仮想的に挿入する箇所を制限することにより、負荷を仮想的に挿入した場合について経路の遅延量を算出する回数が減少する。これにより、遅延量算出方法の処理時間を短縮することができる。

【0022】

第11の発明は、第9の発明において、経路の遅延量を求めるステップより前に、レイアウト結果から、回路の論理的な機能に影響を与えず、かつ、出力端子が分岐点を有する配線に接続される削除可能バッファを検出するステップをさらに備え、経路の遅延量を求めるステップは、削除可能バッファの前段に位置するセルと削除可能バッファの次段に位置するセルとを結ぶ経路の遅延量を、削除可能バッファを削除した場合について求めることを特徴とする。

このような第11の発明によれば、設計者は、バッファを挿入した場合の経路の遅延量に加えて、バッファを削除した場合の経路の遅延量を容易に把握することができる。

【0023】

【発明の実施の形態】

以下に示す各実施形態では、半導体集積回路の消費電力を削減するために、トップダウン設計手法を用いて設計された回路のレイアウト結果を変更する方法を説明する。より詳細には、各実施形態では、レイアウト結果に含まれる分岐点より後段側の所定の箇所に負荷分割用バッファとして、回路の論理的な機能に影響を与えないバッファを挿入するとともに、分岐点の前段に位置する駆動セルの駆動能力を低くすることにより、回路の消費電力を削減する方法について述べる。

【0024】

回路のレイアウト結果には、少なくとも、セルの種類と、セルの配置情報と、セル間の配線情報とが含まれる。セルは、論理ゲートやフリップフロップやバッファなどに対応する。配線は、あるセルの出力端子と1または複数のセルの入力端子とを接続する。複数のセルの入力端子に接続される配線は、1以上の分岐点を有し、各分岐点において2方向または3方向に分岐する。

【0025】

各実施形態に係る方法を実行する主体は、多くの場合、コンピュータが所定のソフトウェアを実行することによって実現される、半導体集積回路用の設計ツールである。設計ツールは、各実施形態に係る方法を実行する機能だけを有していてもよく、あるいは、この機能に加えて、半導体集積回路の設計に関する他の機能を有していてもよい。以下では、各実施形態に係る方法を実行する主体が、このような設計ツールであるとして説明する。

【0026】

(第1の実施形態)

図1から図8を参照して、本発明の第1の実施形態に係る設計方法を説明する。図1は、本実施形態に係る設計方法の工程図である。この設計方法は、分岐点検出工程S110と、仮想負荷挿入工程S120と、遅延量算出工程S130と、挿入箇所決定工程S140と、駆動能力算出工程S150と、レイアウト可否判定工程S160と、レイアウト変更工程S170とを備える。

【0027】

設計ツールは、まず分岐点検出工程S110において、処理対象となるレイアウト結果から、配線の分岐点を検出する。次に、設計ツールは、仮想負荷挿入工程S120において、分岐点検出工程S110で検出した分岐点のそれぞれについて、各分岐点より後段側（セルの入力端子に接続される側）にある2本または3本の配線上の所定の箇所に、1度に1つずつ所定量の負荷（以下、ダミーバッファという）を仮想的に挿入する。次に、設計ツールは、遅延量算出工程S130において、分岐点を經由して2つのセル間を結ぶ経路について、仮想負荷挿入工程S120でダミーバッファを仮想的に挿入した場合の遅延量（複数とおりある）と、ダミーバッファを挿入しない場合の遅延量とを算出する。

【0028】

次に、設計ツールは、挿入箇所決定工程S140において、遅延量算出工程S130で算出した遅延量に基づき、配線上のどの箇所に負荷分割用バッファを挿入すべきかを決定する。本実施形態では、設計ツールは、挿入箇所決定工程S140において、所定の判断基準の下でタイミング制約が厳しいと判断される経路

Lがあり、かつ、ある箇所Pにダミーバッファを挿入したときに経路Lの遅延量が所定以上小さくなる場合に、箇所Pに負荷分割用バッファを挿入すべきであると判断する。

【0029】

次に、設計ツールは、駆動能力算出工程S150において、挿入箇所決定工程S140で決定した箇所に負荷分割用バッファを挿入するとの条件の下で、経路のタイミング制約に基づき、挿入箇所の前段に位置する駆動セルの駆動能力を求める。次に、設計ツールは、レイアウト可否判定工程S160において、処理対象のレイアウト結果に基づき、挿入箇所決定工程S140で求めた挿入箇所に現実に負荷分割用バッファを挿入可能か否かを判定する。

【0030】

次に、設計ツールは、レイアウト変更工程S170において、処理対象のレイアウト結果に対して、レイアウト可否判定工程S160において負荷分割用バッファを挿入可能と判定された挿入箇所について、以下の処理を実行する。すなわち、設計ツールは、挿入可能と判定された挿入箇所に負荷分割用バッファを配置し、当該挿入箇所の前段に位置する駆動セルを、駆動能力算出工程S150で求めた駆動能力を有するセルに変更した上で、上記2つの回路変更に伴い配線情報を変更する。

【0031】

図2は、図1に示す分岐点検出工程S110から遅延量算出工程S130までを、フローチャート形式で示したものである。なお、図1と図2とを対比すると、分岐点検出工程S110はステップS202およびS203に、仮想負荷挿入工程S120はステップS204およびS206に、遅延量算出工程S130はステップS201、S205およびS207に、それぞれ相当する。

【0032】

図2に示すように、設計ツールは、まず、ダミーバッファを挿入しない場合について、分岐点を經由して2つのセル間を結ぶすべての経路の遅延量を算出する（ステップS201）。次に、設計ツールは、処理対象のレイアウト結果に未処理の分岐点があるか否かを判断し（ステップS202）、未処理の分岐点がある

間は、以下に示すステップ S 2 0 3 ～ S 2 0 7 の処理を繰り返し実行する。設計ツールは、未処理の分岐点を 1 つ選択した上で（ステップ S 2 0 3）、選択した分岐点より後段側にある一方の配線上の所定の箇所にダミーバッファを挿入し（ステップ S 2 0 4）、その場合の経路の遅延量を算出する（ステップ S 2 0 5）。次に、設計ツールは、選択した分岐点より後段側にある他方の配線上の所定の箇所にダミーバッファを挿入し（ステップ S 2 0 6）、その場合の経路の遅延量を算出する（ステップ S 2 0 7）。設計ツールは、すべての分岐点についてステップ S 2 0 3 ～ S 2 0 7 の処理を実行した後に、挿入箇所決定工程 S 1 4 0 以降の処理（図 6）を実行する。

【 0 0 3 3 】

なお、仮想負荷挿入工程 S 1 2 0 におけるダミーバッファの挿入箇所は、分岐点より後段側にある配線上であれば任意の場所でよいが、回路の消費電力をより効果的に削減するためには、分岐点に近い場所がより好ましい。また、ダミーバッファとして挿入される負荷の量は、負荷分割用バッファの入力ピン容量と一致させるものとする。また、ダミーバッファを挿入した場合の経路の遅延量を算出するときには、すべての経路の遅延量を改めて計算する必要はなく、ダミーバッファの挿入に伴い遅延量が増加する経路の遅延量のみを改めて計算すればよい。また、図 2 は、配線が 2 方向に分岐する場合の処理を示しているが、配線が 3 方向に分岐する場合には、ダミーバッファを挿入して経路の遅延量を算出する処理を 3 回行えばよい。

【 0 0 3 4 】

分岐点検出工程 S 1 1 0 から遅延量算出工程 S 1 3 0 までの処理の具体例を、図 3 に示すレイアウト結果について説明する。図 3 は、ある回路をスタンダードセル方式でレイアウトした結果の一部を示す図である。図 3 には、レイアウト結果の一部として、駆動セル 1 0 と、駆動セルの後段に位置する 3 つの次段セル 1 1 ～ 1 3 と、配線 1 9 とが示されている。配線 1 9 は、2 つの分岐点 a および b を有し、駆動セル 1 0 の出力端子と次段セル 1 1 ～ 1 3 の入力端子とを接続する。なお、図 3 を含めレイアウト結果を示す図面において、図面の理解を助けるために、着目すべきセルにハッチングを付する場合がある。

【 0 0 3 5 】

図 3 に示すレイアウト結果を処理対象とした場合、分岐点検出工程 S 1 1 0 では、配線 1 9 について、2 つの分岐点 a および b が検出される。この例では、分岐点より後段側にある配線は、分岐点 a より後段側にある配線 Na1 および Na2 、並びに、分岐点 b より後段側にある配線 Nb1 および Nb2 の 4 本である。そこで、仮想負荷挿入工程 S 1 2 0 では、上記 4 本の配線上の所定の箇所に、1 度に 1 つずつダミーバッファが挿入される。すなわち、配線 1 9 には、4 とおりの方法でダミーバッファが挿入される。また、分岐点 a または b を経由して 2 つのセル間を結ぶ経路は、3 本（駆動セル 1 0 から次段セル 1 1 までの経路と、駆動セル 1 0 から次段セル 1 2 までの経路と、駆動セル 1 0 から次段セル 1 3 までの経路）存在する。そこで、遅延量算出工程 S 1 3 0 では、上記 3 本の経路について、ダミーバッファを挿入しない場合の遅延量と、配線 Na1 上の所定の箇所にダミーバッファを挿入した場合の遅延量と、配線 Na2 上の所定の箇所にダミーバッファを挿入した場合の遅延量と、配線 Nb1 上の所定の箇所にダミーバッファを挿入した場合の遅延量と、配線 Nb2 上の所定の箇所にダミーバッファを挿入した場合の遅延量とが算出される。すなわち、上記 3 本の経路について、5 とおりの方法で経路の遅延量が算出される。

【 0 0 3 6 】

経路の遅延量は、例えば、次のようにして算出される。ダミーバッファを挿入しない場合の経路の遅延量を算出するためには、図 4 に示すように、図 3 に示すレイアウト結果から、配線の抵抗成分 (R_{wXX} と記載：X は任意の文字。以下、同じ) と容量成分 (C_{wXX} と記載) とが抽出される。また、セルの特性データから、次段セルの入力ピン容量 (C_{pinX} と記載) が読み出される。その上で、経路の遅延量は、予め定めた遅延計算モデルに従って算出される。この例では、駆動セル 1 0 から次段セル 1 1 ~ 1 3 までの経路の遅延量 $t_{01} \sim t_{03}$ は、それぞれ、駆動セル 1 0 におけるセル遅延 t_{g0} と、駆動セル 1 0 から次段セル 1 1 ~ 1 3 までの配線遅延 $t_{w01} \sim t_{w03}$ との合計値となる。ここで、入力波形の傾き $input_slew$ と出力負荷容量とを入力パラメータとする関数 F を用いてセル遅延を求め、Elmore 法などの配線近似計算を用いて配線遅延を求めるとすると、ダミーバッファを挿入

しない場合の各経路の遅延量 $t01 \sim t03$ は、例えば、次式 (1)～(6) を用いて計算される。

$$\begin{aligned} t01 &= tg0 + tw01 \\ &= tg0 + R_{w0a} \cdot C1 + R_{w1} (C_{w1} + C_{pin1}) \quad \cdots (1) \end{aligned}$$

$$\begin{aligned} t02 &= tg0 + tw02 \\ &= tg0 + R_{w0a} \cdot C1 + R_{wab} \cdot C2 + R_{wb2} (C_{wb2} + C_{pin2}) \quad \cdots (2) \end{aligned}$$

$$\begin{aligned} t03 &= tg0 + tw03 \\ &= tg0 + R_{w0a} \cdot C1 + R_{wab} \cdot C2 + R_{wb3} (C_{wb3} + C_{pin3}) \quad \cdots (3) \end{aligned}$$

$$tg0 = F(\text{input_slew}, C1) \quad \cdots (4)$$

$$C1 = C_{w0a} + C_{w1} + C_{pin1} + C2 \quad \cdots (5)$$

$$C2 = C_{wab} + C_{wb2} + C_{wb3} + C_{pin2} + C_{pin3} \quad \cdots (6)$$

【 0 0 3 7 】

また、ダミーバッファを挿入した場合の経路の遅延量を求めるためには、ダミーバッファを挿入しない場合の抵抗成分と容量成分とに基づき、ダミーバッファを挿入した場合の抵抗成分と容量成分とが求められる。例えば、図 3 に示す配線 Na2 上の所定の箇所にダミーバッファを挿入した場合の経路の遅延量を求めるためには、図 4 に示す抵抗成分と容量成分とに対して、配線抵抗 R_{wab} を配線抵抗 R_{w8b} に、配線容量 C_{wab} をダミーバッファ 18 の入力ピン容量 C_{pin8} および配線容量 C_{w8b} にそれぞれ置換することにより、図 5 に示す抵抗成分と容量成分とが求められる。ダミーバッファ 18 を挿入した場合の駆動セル 10 から次段セル 11 までの経路の遅延量 $T01$ は、駆動セル 10 におけるセル遅延 $Tg0$ と、駆動セル 10 から次段セル 11 までの配線遅延 $Tw01$ との合計値となる。駆動セル 10 から次段セル 12 までの経路の遅延量 $T02$ は、セル遅延 $Tg0$ と、駆動セル 10 からダミーバッファ 18 までの配線遅延 $Tw08$ と、ダミーバッファ 18 におけるセル遅延 $Tg8$ と、ダミーバッファ 18 から次段セル 12 までの配線遅延 $Tw82$ との合計値となる。駆動セル 10 から次段セル 13 までの経路の遅延量 $T03$ も、これと同様である。すなわち、ダミーバッファ 18 を挿入した場合の各経路の遅延量 $T01 \sim T03$ は、次式 (7)～(13) を用いて計算される。

$$T01 = Tg0 + Tw01$$

$$=Tg0+Rw0a \cdot C3+Rw1(Cw1+Cpin1) \quad \dots (7)$$

$$T02 =Tg0+Tw08+Tg8+Tw82$$

$$=Tg0+Rw0a \cdot C3+Tg8+Rw8b \cdot C4+Rwb2(Cwb2+Cpin2) \quad \dots (8)$$

$$T03 =Tg0+Tw08+Tg8+Tw83$$

$$=Tg0+Rw0a \cdot C3+Tg8+Rw8b \cdot C4+Rwb3(Cwb3+Cpin3) \quad \dots (9)$$

$$Tg0 =F(input_slew,C3) \quad \dots (10)$$

$$Tg8 =F(input_slew,C4) \quad \dots (11)$$

$$C3 =Cw0a+Cw1+Cpin1+Cpin8 \quad \dots (12)$$

$$C4 =Cw8b+Cwb2+Cwb3+Cpin2+Cpin3 \quad \dots (13)$$

【 0 0 3 8 】

図 6 は、図 1 に示す挿入箇所決定工程 S 1 4 0 からレイアウト変更工程 S 1 7 0 までを、フローチャート形式で示したものである。本実施形態では、設計ツールは、挿入箇所決定工程 S 1 4 0 において、同じ分岐点を経由してセル間を結ぶ配線のうちでタイミング制約が最も厳しい経路について、タイミングが厳しいと判断し、タイミング制約が最も厳しい経路の遅延量が所定以上小さくなる箇所に、負荷分割用バッファを挿入すべきと判断する。なお、図 1 と図 6 とを対比すると、挿入箇所決定工程 S 1 4 0 はステップ S 2 0 8、S 2 0 9 および S 2 2 0 に、駆動能力算出工程 S 1 5 0 はステップ S 2 1 0 ～ S 2 1 5 に、レイアウト可否判定工程 S 1 6 0 はステップ S 2 1 6 に、レイアウト変更工程 S 1 7 0 はステップ S 2 1 7 ～ S 2 1 9 に、それぞれ相当する。

【 0 0 3 9 】

遅延量算出工程 S 1 3 0 を終了した時点で、2 つのセル間を結ぶ経路の遅延量が、ダミーバッファを挿入した場合（複数とおりある）と、ダミーバッファを挿入しない場合とについて算出されている。そこで、設計ツールは、ステップ S 2 0 4 または S 2 0 6 でダミーバッファを挿入した箇所から、未処理の挿入箇所（以下、挿入箇所 P とする）を 1 つ選択する（ステップ S 2 0 8）。次に、設計ツールは、挿入箇所 P にダミーバッファを挿入した場合に、挿入箇所 P の前段に位置する駆動セルから当該駆動セルの次段に位置する次段セルまでの経路のうちで、タイミング制約が最も厳しい経路（以下、最悪経路という）の遅延量が所定以

上に変化するかどうかを判断する（ステップ S 2 0 9）。ステップ S 2 0 9 における判断が肯定である場合には、設計ツールは、挿入箇所 P が最悪経路上にあるかどうかを判断し（ステップ S 2 1 0）、挿入箇所 P が最悪経路上にある場合にはステップ S 2 1 4 へ、それ以外の場合にはステップ S 2 1 1 へ進む。

【 0 0 4 0 】

挿入箇所 P が最悪経路上にない場合には（ステップ S 2 1 0 で N o）、設計ツールは、ダミーバッファの駆動能力を、ダミーバッファを経由するすべての経路のタイミング制約を満たす最小の駆動能力にすると仮定する（ステップ S 2 1 1 1）。設計ツールは、仮定した条件の下で、最悪経路のタイミング制約を満たす駆動セルの駆動能力の最小値 D を求める（ステップ S 2 1 2）。次に、設計ツールは、ステップ S 2 1 2 で求めた駆動能力の最小値 D と元の回路に含まれる駆動セルの駆動能力とを比較し（ステップ S 2 1 3）、前者のほうが高い場合にはステップ S 2 1 6 へ進む。

【 0 0 4 1 】

一方、挿入箇所 P が最悪経路上にある場合には（ステップ S 2 1 0 で Y e s）、設計ツールは、ダミーバッファを経由しないすべての経路のタイミング制約を満たす駆動セルの駆動能力の最小値 D を求める（ステップ S 2 1 4）。設計ツールは、ステップ S 2 1 5 で求めた駆動能力の最小値 D が元の回路に含まれる駆動セルの駆動能力より低く、かつ、ダミーバッファの駆動能力が所定以下であるかどうかを判断し（ステップ S 2 1 5）、2 つの条件が満たされる場合にはステップ S 2 1 6 へ進む。

【 0 0 4 2 】

設計ツールの制御がステップ S 2 1 6 に到達した場合には、ステップ S 2 0 8 で選択された挿入箇所に、負荷分割用バッファを挿入すべきと判断されたことになる。そこで、設計ツールは、処理対象のレイアウト結果に基づき、挿入箇所 P に現実的に負荷分割用バッファを挿入可能かどうかを判定する（ステップ S 2 1 6）。ステップ S 2 1 6 における判定結果が肯定である場合には、設計ツールは、ステップ S 2 1 7 へ進む。この場合、設計ツールは、処理対象のレイアウト結果に対して、以下のレイアウト変更処理を実行する。すなわち、設計ツールは、挿入

箇所Pに負荷分割用バッファを配置し（ステップS217）、挿入箇所Pの前段に位置する駆動セルを、ステップS212またはS214で求めた駆動能力を有するセルに変更し（ステップS218）、これら2つの回路変更に伴い配線情報を変更する（ステップS219）。

【0043】

次に、設計ツールは、所定の判断基準に従い、処理を終了する否かを判断する（ステップS220）。設計ツールは、例えば、ステップS203またはS205においてダミーバッファを挿入したすべての箇所について処理を完了したときに、処理を終了すると判断してもよく、あるいは、所定の回数だけレイアウト変更処理を実行したときに、処理を終了すると判断してもよい。設計ツールは、処理を続行すると判断した場合にはステップS208へ進み、処理を終了すると判断した場合には処理を終了する。なお、設計ツールは、ステップS209、S213、S215またはS216のいずれかにおいて否定と判断した場合には、挿入箇所Pに関するレイアウト変更処理を実行せずに、ステップS208へ進む。

【0044】

以下、挿入箇所決定工程S140からレイアウト変更工程S170までの処理の具体例を、図7に示すレイアウト結果について説明する。図7は、ある回路をスタンダードセル方式でレイアウトした結果の一部を示す図である。図7には、レイアウト結果の一部として、駆動セル20と、5つの次段セル21～25と、駆動セル20の前段に位置する前段セル26と、配線29とが示されている。配線29は、4つの分岐点a～dを有し、駆動セル20の出力端子と次段セル21～25の入力端子とを接続する。

【0045】

図7に示すレイアウト結果を処理対象とした場合、分岐点検出工程S110では、配線29について、4つの分岐点a～dが検出される。また、仮想負荷挿入工程S120では、4つの分岐点a～dのそれぞれについて2箇所ずつ計8箇所に、1度に1つずつダミーバッファが挿入される。ここで、駆動セル20から次段セル21～25までの5本の経路のうち、駆動セル20から次段セル24までの経路（太線で示す経路）がタイミング制約が最も厳しい経路（最悪経路）であ

ると仮定する。また、駆動セル 2 0 から次段セル 2 4 までの経路の遅延量を、分岐点 a ～ d の後段側にある配線上の各箇所にダミーバッファを挿入した場合（8 とおりある）と、ダミーバッファを挿入しない場合とについて比較すると、分岐点 b の後段側にある配線 Nb1 上の所定の箇所（図 7（a）に示す挿入箇所 P）にダミーバッファを挿入した場合に、上記経路の遅延量が最小になるものとする。

【0 0 4 6】

図 7 に示すレイアウト結果について、ステップ S 2 0 8 で挿入箇所 P が選択された場合には、ステップ S 2 0 9 では肯定、ステップ S 2 1 0 では否定とそれぞれ判断され、ステップ S 2 1 2 において、駆動セル 2 0 から次段セル 2 4 までの経路のタイミング制約を満たす駆動セル 2 0 の駆動能力の最小値 D が求められる。その後、ステップ S 2 1 3 において、求めた最小値 D が駆動セル 2 0 の駆動能力より小さいと判断され、かつ、ステップ S 2 1 6 において、負荷分割用バッファを挿入箇所 P に挿入可能と判断された場合には、次のレイアウト変更処理が実行される。すなわち、挿入箇所 P に負荷分割用バッファ 2 7 が配置され（ステップ S 2 1 7）、駆動セル 2 0 がより駆動能力の低い駆動セル 2 0' に変更され（ステップ S 2 1 8）、負荷分割用バッファ 2 7 および駆動セル 2 0' に接続される配線に関する配線情報が変更される（ステップ S 2 1 9）。その結果、図 7（a）に示すレイアウト結果は、図 7（b）に示すように変更される。

【0 0 4 7】

変更前のレイアウト結果（図 7（a））では、配線 2 9 が長いため、駆動セル 2 0 の負荷容量は大きい。そこで、駆動セル 2 0 には、駆動能力の高いセルが使用される。これに対して、変更後のレイアウト結果（図 7（b））では、負荷分割用バッファ 2 7 が挿入箇所 P に挿入されているので、配線 2 9 に対応した配線 2 9' は元の長さより短くなり、駆動セル 2 0 の負荷容量も小さくなる。したがって、駆動セル 2 0 に代えて、駆動セル 2 0 よりも駆動能力の低い駆動セル 2 0' を使用することができる。また、駆動セル 2 0' の駆動能力は、最悪経路を含め各経路のタイミング制約を満たすように算出されるので、図 7 に示すようにレイアウト結果を変更しても、タイミング制約違反は生じない。よって、本実施形態に係る設計方法によれば、図 7（a）に示すレイアウト結果について、各経路

のタイミング制約を満たしながら、駆動セル 2 0 の駆動能力を低くすることにより、回路の機能を損なうことなく、回路の消費電力を削減することができる。

【 0 0 4 8 】

以上に示すように、本実施形態に係る設計方法によれば、駆動セルが複数の次段セルを駆動する場合において、タイミング制約が厳しい経路の長さは短いが、配線容量と他の次段セルの入力ピン容量との合計値が大きいために、高い駆動能力を有する駆動セルが使用される場合に、タイミング制約が厳しくない次段セルを駆動する負荷分割用バッファを挿入するとともに、駆動セルの駆動能力を低くすることにより、回路の消費電力を削減することができる。

【 0 0 4 9 】

次に、挿入箇所決定工程 S 1 4 0 からレイアウト変更工程 S 1 7 0 までの処理の他の具体例を、図 8 に示すレイアウト結果について説明する。図 8 におけるセルの配置およびセル間の配線は、図 7 に示したものと同一である。ただし、図 8 に示すレイアウト結果では、駆動セル 3 0 から次段セル 3 1 ~ 3 5 までの 5 本の経路のうち、駆動セル 3 0 から次段セル 3 3 までの経路（太線で示す経路）がタイミング制約が最も厳しい経路（最悪経路）であるとする。また、駆動セル 3 0 から次段セル 3 3 までの経路の遅延量を、分岐点 a ~ d の後段側にある配線上の各箇所にダミーバッファを挿入した場合（8 とおりある）と、ダミーバッファを挿入しない場合とについて比較すると、分岐点 c の後段側にある配線 Nc2 上の所定の箇所（図 8（a）に示す挿入箇所 Q）にダミーバッファを挿入した場合に、上記経路の遅延量が最小になるものとする。

【 0 0 5 0 】

図 8 に示すレイアウト結果について、ステップ S 2 0 8 で挿入箇所 Q が選択された場合には、ステップ S 2 0 9 および S 2 1 0 においていずれも肯定と判断され、ステップ S 2 1 4 において、ダミーバッファを経由しないすべての経路のタイミング制約を満たす駆動セル 3 0 の駆動能力の最小値 D が求められる。その後、ステップ S 2 1 5 における 2 つの条件を満たすと判断され、かつ、ステップ S 2 1 6 において、負荷分割用バッファを挿入箇所 Q に挿入可能と判断された場合には、次のレイアウト変更処理が実行される。すなわち、挿入箇所 Q に負荷分割

用バッファ 37 が配置され（ステップ S 217）、駆動セル 30 が駆動セル 30 よりも駆動能力の低い駆動セル 30' に変更され（ステップ S 218）、負荷分割用バッファ 37 および駆動セル 30' に接続される配線に関する配線情報が変更される（ステップ S 219）。その結果、図 8（a）に示すレイアウト結果は、図 8（b）に示すように変更される。このようにレイアウト結果を変更することにより、回路の消費電力を削減することができる理由は、図 7 に示したレイアウト結果の場合と同じである。

【0051】

以上に示すように、本実施形態に係る設計方法によれば、駆動セルが、タイミング制約が厳しい少数の次段セルと、タイミング制約が厳しくない多数の次段セルとを駆動する場合において、配線容量と他の次段セルの入力ピン容量との合計値が大きいために、高い駆動能力を有する駆動セルが使用される場合には、タイミング制約が厳しい経路上に新たに負荷分割用バッファを挿入して、当該経路の周辺部分のみを選択的に高速駆動するとともに、駆動セルの駆動能力を低くすることにより、回路の消費電力を削減することができる。

【0052】

なお、図 6 に示すフローチャートでは、挿入箇所が最悪経路上にある場合、および挿入箇所が最悪経路上にない場合のいずれの場合にも、レイアウト変更処理を行うこととしたが、レイアウト変更処理を行う場合を、上記いずれか一方の場合に限ることとしてもよい。このような設計方法は、図 6 に示すステップ S 210 において肯定（あるいは否定）と判断されたときに、制御をステップ S 208 へ進めることにより、容易に実現することができる。

【0053】

（第 2 の実施形態）

図 9 および図 10 を参照して、本発明の第 2 の実施形態を説明する。図 9 は、本実施形態に係る設計方法の工程図である。この設計方法は、第 1 の実施形態に係る設計方法（図 1）に含まれる仮想負荷挿入工程 S 120 を、これとは異なる仮想負荷挿入工程 S 121 に置換して得られたものである。図 9 に示す工程のうち、図 1 で示した工程については、同一の参照符号を付して説明を省略する。

【0054】

設計ツールは、仮想負荷挿入工程 S 1 2 1 において、所定の判断基準に従い必要性を判断した上で、分岐点検出工程 S 1 1 0 で検出した分岐点より後段側にある配線上の所定の箇所にダミーバッファを挿入する。本実施形態に係る仮想負荷挿入工程 S 1 2 1 は、分岐後全負荷容量算出工程 S 1 8 1 と、全負荷容量算出工程 S 1 8 2 と、条件付き仮想負荷挿入工程 S 1 8 3 とを含んでいる。設計ツールは、分岐後全負荷容量算出工程 S 1 8 1 において、分岐点検出工程 S 1 1 0 で検出した各分岐点について、分岐点より後段側の全負荷容量 C_{part} （分岐点より後段側の配線容量と、分岐点の後段に位置するセルの入力ピン容量との合計値；以下、分岐後全負荷容量という）を算出する。次に、設計ツールは、全負荷容量算出工程 S 1 8 2 において、各分岐点について、各分岐点の前段に位置する駆動セルの全負荷容量 C_{all} （以下、単に「全負荷容量」という）を算出する。次に、設計ツールは、条件付き仮想負荷挿入工程 S 1 8 3 において、ある分岐点について、全負荷容量 C_{all} に対する分岐後全負荷容量 C_{part} の割合が所定以上である場合には、当該分岐点より後段側にある配線上の所定の箇所にダミーバッファを挿入する。それ以外の場合には、設計ツールは、当該分岐点より後段側にある配線上にダミーバッファを挿入しない。

【0055】

仮想負荷挿入工程 S 1 2 1 における処理の具体例を、図 10 に示すレイアウト結果について説明する。分岐後全負荷容量算出工程 S 1 8 1 では、例えば分岐点 b に関する分岐後全負荷容量 C_{part-b} として、分岐点 b から次段セル 4 2 ～ 4 5 までの配線容量と、次段セル 4 2 ～ 4 5 の入力ピン容量との合計値が算出される。また、分岐点 d に関する分岐後全負荷容量 C_{part-d} として、分岐点 d から次段セル 4 4 および 4 5 までの配線容量と、次段セル 4 4 および 4 5 の入力ピン容量との合計値が算出される。また、全負荷容量算出工程 S 1 8 2 では、全負荷容量 C_{all} として、駆動セル 4 0 から次段セル 4 1 ～ 4 5 までの配線容量と、次段セル 4 1 ～ 4 5 の入力ピン容量との合計値が算出される。

【0056】

図 10 に示すレイアウト結果では、全負荷容量 C_{all} に対する分岐後全負荷容

量 C_{part-b} の割合は、比較的大きい。したがって、分岐点 b より後段側の配線上の所定の箇所にダミーバッファを挿入した場合、タイミング制約が所定以上に厳しい経路の遅延量が所定以上に変化する可能性が高く、ダミーバッファ挿入の効果を期待できる。これに対して、全負荷容量 $Call$ に対する分岐後全負荷容量 C_{part-d} の割合は、比較的小さい。したがって、分岐点 d より後段側の配線上の所定の箇所にダミーバッファを挿入しても、タイミング制約が所定以上に厳しい経路の遅延量が所定以上に変化する可能性は低く、ダミーバッファ挿入による効果を期待できない。

【0057】

そこで、条件付き仮想負荷挿入工程 $S183$ では、全負荷容量 $Call$ に対する分岐後全負荷容量 C_{part} の割合が所定以上である場合には（例えば、図10に示す分岐点 b ）、ダミーバッファを挿入し、上記割合が所定以上でない場合には（例えば、図10に示す分岐点 d ）、ダミーバッファを挿入しないこととする。これにより、条件付き仮想負荷挿入工程 $S183$ では、ダミーバッファは、回路の低消費電力化という効果を期待できる箇所に限定して挿入される。

【0058】

遅延量算出工程 $S130$ では、仮想負荷挿入工程 $S121$ においてダミーバッファが挿入された場合について、経路の遅延量が算出される。また、上述したように、仮想負荷挿入工程 $S121$ では、ダミーバッファは、回路の低消費電力化という効果を期待できる箇所に限定して挿入される。このため、遅延量算出工程 $S130$ では、経路の遅延量を算出する回数が減少し、処理時間が短縮される。

【0059】

以上に示すように、本実施形態に係る設計方法によれば、ダミーバッファを挿入する箇所を制限することにより、ダミーバッファを挿入した場合について経路の遅延量を算出する回数が減少する。これにより、設計方法全体の処理時間を短縮することができる。

【0060】

（第3の実施形態）

図10および図11を参照して、本発明の第3の実施形態を説明する。図11

は、本実施形態に係る設計方法の工程図である。この設計方法は、第1の実施形態に係る設計方法（図1）に含まれる仮想負荷挿入工程S120を、これとは異なる仮想負荷挿入工程S122に置換して得られたものである。図11に示す工程のうち、図1で示した工程については、同一の参照番号を付して説明を省略する。

【0061】

設計ツールは、仮想負荷挿入工程S122において、第2の実施形態に係る仮想負荷挿入工程S121と同様に、所定の判断基準に従い必要性を判断した上で、分岐点検出工程S110で検出した分岐点より後段側にある配線上の所定の箇所にダミーバッファを挿入する。本実施形態に係る仮想負荷挿入工程S122は、系統別全負荷容量算出工程S184と、条件付き仮想負荷挿入工程S185とを含んでいる。設計ツールは、系統別全負荷容量算出工程S184において、分岐点検出工程S110で検出した各分岐点の後段側にある各配線について、各配線より後段側の全負荷容量（以下、系統別全負荷容量という）を算出する。より詳細には、設計ツールは、配線が2方向に分岐する分岐点については、分岐点より後段側にある一方の配線W1に関する系統別全負荷容量Cw1として、配線W1より後段側にある配線容量と、配線W1に接続されるセルの入力ピン容量との合計値を求める。また、設計ツールは、同様の方法で、分岐点より後段側にある他方の配線W2に関する系統別全負荷容量Cw2を求める。

【0062】

次に、設計ツールは、条件付き仮想負荷挿入工程S185において、配線W1に関する系統別全負荷容量Cw1と配線W2に関する系統別全負荷容量Cw2とを比較し、両者が所定以上に不均衡である場合に、系統別全負荷容量が大きい側の配線上の所定の箇所にダミーバッファを挿入する。すなわち、系統別全負荷容量Cw1が系統別全負荷容量Cw2よりも所定以上に大きい場合には、ダミーバッファは、配線W1上の所定の箇所に挿入される。逆に、系統別全負荷容量Cw2が系統別全負荷容量Cw1よりも所定以上に大きい場合には、ダミーバッファは、配線W2上の所定の箇所に挿入される。上記2つの場合以外の場合（すなわち、系統別全負荷容量Cw1とCw2との差が所定以下である場合）には、ダミーバッファは、配

線W1およびW2上のいずれにも挿入されない。なお、設計ツールは、配線が3方向に分岐する場合には、系統別全負荷容量を求めて比較する処理を3本の配線について行う。

【0063】

仮想負荷挿入工程S122における処理の具体例を、図10に示すレイアウト結果について説明する。図10に示す配線49は、4つの分岐点a～dを有する。また、分岐点aより後段側には配線Na1およびNa2が存在し、分岐点bより後段側には配線Nb1およびNb2が存在する。系統別全負荷容量算出工程S184では、例えば分岐点aについて、配線Na1に関する系統別全負荷容量CNa1として、分岐点aから次段セル42～45までの配線容量と、次段セル42～45の入力ピン容量との合計値が算出される。また、分岐点aの他方の配線Na2に関する系統別全負荷容量CNa2として、分岐点aから次段セル41までの配線容量と、次段セル41の入力ピン容量との合計値が算出される。また、分岐点bについては、配線Nb1に関する系統別全負荷容量CNb1として、分岐点bから次段セル44および45までの配線容量と、次段セル44および45の入力ピン容量との合計値が算出され、配線Nb2に関する系統別全負荷容量CNb2として、分岐点bから次段セル42および43までの配線容量と、次段セル42および43の入力ピン容量との合計値が算出される。

【0064】

図10に示すレイアウト結果では、配線Na1に関する系統別全負荷容量CNa1は、配線Na2に関する系統別全負荷容量CNa2よりかなり大きい。したがって、配線Na1上の所定の箇所にダミーバッファを挿入した場合、タイミング制約が所定以上に厳しい経路の遅延量が所定以上に変化する可能性が高く、ダミーバッファ挿入の効果を期待できる。これに対して、配線Nb1に関する系統別全負荷容量CNb1と、配線Nb2に関する系統別全負荷容量CNb2とはほぼ等しい。したがって、配線Nb1およびNb2上の所定の箇所にダミーバッファを挿入しても、タイミング制約が所定以上に厳しい経路の遅延量が所定以上に変化する可能性は低く、ダミーバッファ挿入の効果を期待できない。

【0065】

そこで、条件付き仮想負荷挿入工程 S 1 8 5 では、ある分岐点の後段側にある各配線に関する系統別全負荷容量 $Cw1$ と $Cw2$ とが所定以上に不均衡である場合には（例えば、図 1 0 に示す分岐点 a）、系統別全負荷容量が大きい側の配線（この例では、配線 Na1）上の所定の箇所にダミーバッファを挿入し、両者が所定以上に不均衡でない場合には（例えば、図 1 0 に示す分岐点 b）には、ダミーバッファを挿入しないこととする。これにより、条件付き仮想負荷挿入工程 S 1 8 5 では、ダミーバッファは、回路の低消費電力化という効果を期待できる箇所に限定して挿入される。このような条件付き仮想負荷挿入工程 S 1 8 5 を実行することにより、第 2 の実施形態と同じ理由により、遅延量算出工程 S 1 3 0 における処理時間が短縮される。

【0066】

以上に示すように、本実施形態に係る設計方法によれば、ダミーバッファを挿入する箇所を制限することにより、ダミーバッファを挿入した場合について経路の遅延量を算出する回数が減少する。これにより、設計方法全体の処理時間を短縮することができる。

【0067】

（第 4 の実施形態）

図 1 0 および図 1 2 を参照して、本発明の第 4 の実施形態を説明する。図 1 2 は、本実施形態に係る設計方法の工程図である。この設計方法は、第 1 の実施形態に係る設計方法（図 1）に含まれる仮想負荷挿入工程 S 1 2 0 を、これとは異なる仮想負荷挿入工程 S 1 2 3 に置換して得られたものである。図 1 2 に示す工程のうち、図 1 で示した工程については、同一の参照符号を付して説明を省略する。

【0068】

設計ツールは、仮想負荷挿入工程 S 1 2 3 において、第 2 および第 3 の実施形態に係る仮想負荷挿入工程 S 1 2 1 および S 1 2 2 と同様に、所定の判断基準に従い必要性を判断した上で、分岐点検出工程 S 1 1 0 で検出した分岐点より後段側にある配線上の所定の箇所にダミーバッファを挿入する。本実施形態に係る仮想負荷挿入工程 S 1 2 3 は、系統別タイミング制約算出工程 S 1 8 6 と、条件付

き仮想負荷挿入工程 S 1 8 7 とを含んでいる。設計ツールは、系統別タイミング制約算出工程 S 1 8 6 において、分岐点検出工程 S 1 1 0 で検出した各分岐点の後段側にある各配線について、当該配線を含む経路のタイミング制約の最悪値（以下、系統別タイミング制約の最悪値という）を算出する。より詳細には、設計ツールは、配線が 2 方向に分岐する分岐点については、分岐点より後段側にある一方の配線 W 1 に関する系統別タイミング制約の最悪値 T_{w1} として、分岐点から分岐点の後段に位置する次段セルまでの経路であって、配線 W 1 を含む経路のタイミング制約の最悪値を求める。また、設計ツールは、同様の方法で、分岐点より後段側にある他方の配線 W 2 に関する系統別タイミング制約の最悪値 T_{w2} を求める。

【 0 0 6 9 】

次に、設計ツールは、条件付き仮想負荷挿入工程 S 1 8 7 において、配線 W 1 に関する系統別タイミング制約の最悪値 T_{w1} と、配線 W 2 に関する系統別タイミング制約の最悪値 T_{w2} とを比較し、両者が所定以上に不均衡である場合に、系統別タイミング制約が厳しい側の配線上の所定の箇所にダミーバッファを挿入する。すなわち、系統別タイミング制約の最悪値 T_{w1} が系統別タイミング制約の最悪値 T_{w2} よりも所定以上に厳しい場合には、ダミーバッファは、配線 W 1 上の所定の箇所に挿入される。逆に、系統別タイミング制約の最悪値 T_{w2} が系統別タイミング制約の最悪値 T_{w1} よりも所定以上に厳しい場合には、ダミーバッファは、配線 W 2 上の所定の箇所に挿入される。上記 2 つの場合以外の場合（すなわち、系統別タイミング制約の最悪値 T_{w1} と T_{w2} との差が所定以下である場合）には、ダミーバッファは、配線 W 1 および W 2 上のいずれにも挿入されない。なお、設計ツールは、配線が 3 方向に分岐する場合には、系統別タイミング制約の最悪値を求めて比較する処理を 3 本の配線について行う。

【 0 0 7 0 】

仮想負荷挿入工程 S 1 2 3 における処理の具体例を、図 1 0 に示すレイアウト結果について説明する。図 1 0 に示す配線 4 9 は、4 つの分岐点 a ~ d を有し、分岐点 b より後段側には、配線 Nb1 および Nb2 が存在する。系統別タイミング制約算出工程 S 1 8 6 では、例えば分岐点 b について、次の処理が実行される。す

なわち、まず、分岐点 b から次段セル 4 2 ～ 4 5 までの 4 本の経路のタイミング制約 T42 ～ T45 が算出される。その上で、分岐点 b の後段側にある一方の配線 Nb1 に関する系統別タイミング制約の最悪値 T Nb1 として、タイミング制約 T44 および T45 のうち、厳しい側のタイミング制約が選ばれる。同様に、分岐点 b の後段側にある他方の配線 Nb2 に関する系統別タイミング制約の最悪値 T Nb2 として、タイミング制約 T42 と T43 のうち厳しい側のタイミング制約が選ばれる。

【 0 0 7 1 】

このようにして算出された配線 Nb1 に関する系統別タイミング制約の最悪値 T Nb1 が、配線 Nb2 に関する系統別タイミング制約の最悪値 T Nb2 より所定以上に大きいと場合には、配線 Nb1 上の所定の箇所にダミーバッファを挿入すると、タイミング制約が所定以上に厳しい経路の遅延量が所定以上に変化する可能性が高く、ダミーバッファ挿入の効果を期待できる。逆に、系統別タイミング制約の最悪値 T Nb2 が系統別タイミング制約の最悪値 T Nb1 より所定以上大きい場合には、配線 Nb2 上の所定の箇所にダミーバッファを挿入すると、タイミング制約が所定以上に厳しい経路の遅延量が所定以上に変化する可能性が高く、ダミーバッファ挿入の効果を期待できる。上記 2 つの場合以外の場合（すなわち、系統別タイミング制約の最悪値 T Nb1 と T Nb2 との差が所定以下である場合）には、配線 Nb1 または Nb2 上の所定の箇所にダミーバッファを挿入しても、タイミング制約が所定以上に厳しい経路の遅延量が所定以上に変化する可能性が低く、ダミーバッファ挿入の効果を期待できない。

【 0 0 7 2 】

そこで、条件付き仮想負荷挿入工程 S 1 8 7 では、ある分岐点の後段側にある各配線に関する系統別タイミング制約の最悪値 T w1 と T w2 とが所定以上に不均衡である場合には、系統別タイミング制約が厳しい側の配線上の所定の箇所にダミーバッファを挿入し、両者が所定以上に不均衡でない場合には、ダミーバッファを挿入しないこととする。これにより、条件付き仮想負荷挿入工程 S 1 8 7 では、ダミーバッファは、回路の低消費電力化という効果を期待できる箇所に限定して挿入される。このような条件付き仮想負荷挿入工程 S 1 8 7 を実行することにより、第 2 および第 3 の実施形態と同じ理由により、遅延量算出工程 S 1 3 0 に

おける処理時間が短縮される。

【 0 0 7 3 】

以上に示すように、本実施形態に係る設計方法によれば、ダミーバッファを挿入する箇所を制限することにより、ダミーバッファを挿入した場合について経路の遅延量を算出する回数が減少する。これにより、設計方法全体の処理時間を短縮することができる。

【 0 0 7 4 】

(第 2 ないし第 4 の実施形態の変形例)

第 2 ないし第 4 の実施形態では、低消費電力化設計方法の処理時間を短縮する 3 種類の方法を示したが、これらの方法のうち 2 種類、または 3 種類を任意に組み合わせることができる。図 1 3 は、上記 3 種類の処理時間短縮方法を用いた設計方法の工程図である。図 1 3 に示す工程のうち、図 1、図 9、図 1 1 または図 1 2 で示した工程については、同一の参照符号を付して説明を省略する。

【 0 0 7 5 】

設計ツールは、仮想負荷挿入工程 S 1 2 4 において、第 2 ないし第 4 の実施形態に係る仮想負荷挿入工程 S 1 2 1 ～ 1 2 3 と同様に、所定の判断基準に従い必要性を判断した上で、分岐点検出工程 S 1 1 0 で検出した分岐点より後段側にある配線上の所定の箇所にダミーバッファを挿入する。図 1 3 に示す仮想負荷挿入工程 S 1 2 4 は、分岐後全負荷容量算出工程 S 1 8 1 と、全負荷容量算出工程 S 1 8 2 と、系統別全負荷容量算出工程 S 1 8 4 と、系統別タイミング制約算出工程 S 1 8 6 と、条件付き仮想負荷挿入工程 S 1 8 8 とを含んでいる。

【 0 0 7 6 】

図 1 4 は、条件付き仮想負荷挿入工程 S 1 8 8 の詳細を示すフローチャートである。図 1 4 に示す処理は、分岐点検出工程 S 1 1 0 で検出された分岐点のそれぞれに対して実行される。この処理では、分岐後全負荷容量算出工程 S 1 8 1 で算出された分岐後全負荷容量 C_{part} と、全負荷容量算出工程 S 1 8 2 で算出された全負荷容量 C_{all} と、系統別全負荷容量算出工程 S 1 8 4 で算出された系統別全負荷容量 C_{w1} および C_{w2} と、系統別タイミング制約算出工程 S 1 8 6 で算出された系統別タイミング制約の最悪値 T_{w1} および T_{w2} とが参照される。

【0077】

設計ツールは、条件付き仮想負荷挿入工程 S 188 において、以下の処理を行う。設計ツールは、全負荷容量 C_{all} に対する分岐後全負荷容量 C_{part} の割合が所定以上であるか否かを判断する（ステップ S 301）。全負荷容量 C_{all} に対する分岐後全負荷容量 C_{part} の割合が所定以上である場合には、設計ツールは、ステップ S 302 へ進む。この場合、設計ツールは、系統別全負荷容量 C_{w1} と C_{w2} とが所定以上に不均衡であるか否かを判断する（ステップ S 302）。系統別全負荷容量 C_{w1} と C_{w2} とが所定以上に不均衡である場合には、設計ツールは、系統別全負荷容量が大きい側の配線上の所定の箇所にダミーバッファを挿入する（ステップ S 303）。

【0078】

これに対して、系統別全負荷容量 C_{w1} および C_{w2} が所定以上に不均衡でない場合には、設計ツールは、系統別タイミング制約の最悪値 T_{w1} と T_{w2} とが所定以上に不均衡であるか否かを判断する（ステップ S 304）。系統別タイミング制約の最悪値 T_{w1} と T_{w2} とが所定以上に不均衡である場合には、設計ツールは、系統別タイミング制約が厳しい側の配線上の所定の箇所にダミーバッファを挿入する（ステップ S 305）。

【0079】

なお、設計ツールは、ステップ S 301 において否定と判断した場合、または、ステップ S 302 および S 303 の両方で否定と判断した場合には、ダミーバッファを挿入することなく、条件付き仮想負荷挿入工程 S 188 を終了する。

【0080】

以上に示すように、低消費電力化設計方法の処理時間を短縮する方法を任意に組み合わせて、ダミーバッファを挿入する箇所をさらに制限することにより、ダミーバッファを挿入した場合について経路の遅延量を算出する回数がさらに減少する。これにより、設計方法全体の処理時間をさらに短縮することができる。

【0081】

（第 5 の実施形態）

図 15 から図 18 を参照して、本発明の第 5 の実施形態を説明する。図 15 は

、本実施形態に係る設計方法の工程図である。この設計方法は、分岐点検出工程 S 1 1 0 と、削除候補検出工程 S 1 1 4 と、仮想負荷挿入工程 S 1 2 0 と、遅延量算出工程 S 1 3 4 と、挿入箇所決定工程 S 1 4 0 と、駆動能力算出工程 S 1 5 0 と、レイアウト可否判定工程 S 1 6 0 と、レイアウト変更工程 S 1 7 4 とを備える。図 1 5 に示す工程のうち、図 1 で示した工程については、同一の参照符号を付して説明を省略する。

【0082】

設計ツールは、削除候補検出工程 S 1 1 4 において、処理対象のレイアウト結果から、回路の論理的な機能に影響を与えず、かつ、出力端子が分岐点を有する配線に接続されるバッファ（以下、削除可能バッファという）を検出する。このような削除可能バッファは、トップダウン設計手法を用いて設計された回路に数多く含まれる。

【0083】

また、設計ツールは、遅延量算出工程 S 1 3 4 において、第 1 ないし第 4 の実施形態に係る遅延量算出工程 S 1 3 0 と同様に、分岐点を經由して 2 つのセル間を結ぶ経路について、仮想負荷挿入工程 S 1 2 0 でダミーバッファを仮想的に挿入した場合の遅延量（複数とおりある）と、ダミーバッファを挿入しない場合の遅延量とを算出する。これに加えて、設計ツールは、遅延量算出工程 S 1 3 4 において、削除候補検出工程 S 1 1 4 で検出した削除可能バッファの前段に位置するセルと、削除可能バッファの次段に位置するセルとを結ぶ経路の遅延量を、削除可能バッファを仮想的に削除した場合について算出する。

【0084】

設計ツールは、挿入箇所決定工程 S 1 4 4 において、第 1 ないし第 4 の実施形態に係る挿入箇所決定工程 S 1 4 0 と同様に、遅延量算出工程 S 1 3 4 で算出した遅延量に基づき、配線上のどの箇所に負荷分割用バッファを挿入すべきかを決定する。ただし、本実施形態に係る挿入箇所決定工程 S 1 4 4 では、削除可能バッファを削除した場合の経路の遅延量も考慮して、負荷分割用バッファの挿入箇所が決定され、現実には削除すべき削除可能バッファが特定される。

【0085】

また、設計ツールは、レイアウト変更工程 S 1 7 4 において、第 1 ないし第 4 の実施形態に係るレイアウト変更工程 S 1 7 0 と同様に、処理対象のレイアウト結果に対して、レイアウト可否判定工程 S 1 6 0 において負荷分割用バッファを挿入可能と判定された挿入箇所について、レイアウト変更処理を実行する。ただし、本実施形態に係るレイアウト変更工程 S 1 7 4 では、処理対象のレイアウト結果に対して、挿入箇所決定工程 S 1 4 4 で求めた現実に削除すべき削除可能バッファを削除する処理も行われる。

【0086】

図 1 6 は、図 1 5 に示す分岐点検出工程 S 1 1 0 から遅延量算出工程 S 1 3 4 までをフローチャート形式で示したものである。なお、図 1 5 と図 1 6 とを対比すると、分岐点検出工程 S 1 1 0 はステップ S 4 0 2 および S 4 0 3 に、削除候補検出工程 S 1 1 4 はステップ S 4 0 9 ～ S 4 1 1 に、仮想負荷挿入工程 S 1 2 0 はステップ S 4 0 4 および S 4 0 6 に、遅延量算出工程 S 1 3 4 はステップ S 4 0 1、S 4 0 5 および S 4 0 7 に、それぞれ相当する。

【0087】

図 1 6 に示すステップ S 4 0 1 ～ S 4 0 7 は、図 2 に示したステップ S 2 0 1 ～ S 2 0 7 と同じであるので、ここでは説明を省略する。設計ツールは、ステップ S 4 0 7 を実行した後、以下の処理を行う。設計ツールは、ステップ S 4 0 2 で選択した分岐点が、その分岐点を有する配線における最初の分岐点であるか否かを判断し（ステップ S 4 0 8）、分岐点の前段に位置する駆動セルが論理を変更するか否かを判断する（ステップ S 4 0 9）。設計ツールは、ステップ S 4 0 8 において肯定、かつ、ステップ S 4 0 9 において否定と判断した場合には、分岐点の前段に位置する駆動セルを仮想的に削除し（ステップ S 4 1 0）、その場合の経路の遅延量を算出した後（ステップ S 4 1 1）、ステップ S 4 0 2 へ進む。なお、設計ツールは、ステップ S 4 0 8 において否定、または、ステップ S 4 0 9 において肯定と判断した場合には、ステップ S 4 1 0 および S 4 1 1 の処理を行うことなく、直ちにステップ S 4 0 2 へ進む。

【0088】

以下、本実施形態に係る設計方法における処理の具体例を、図 1 7 に示すレイ

アウト結果について説明する。図 17 には、レイアウト結果として、駆動セル 50 と、5 つの次段セル 51 ～ 55 と、駆動セル 50 の前段に位置する前段セル 56 と、前段セル 56 に接続されるその他のセル 57 と、配線 59 とが示されている。配線 59 は、4 つの分岐点 a ～ d を有し、駆動セル 50 の出力端子と次段セル 51 ～ 55 の入力端子とを接続する。駆動セル 50 は、回路の論理的な機能に影響を与えないセルであり、駆動セル 50 から次段セル 51 ～ 55 までの 5 本の経路のうち、駆動セル 50 から次段セル 54 までの経路（太線で示す経路）のタイミング制約が最も厳しいものとする。

【0089】

図 17 に示すレイアウト結果を処理対象とした場合、分岐点検出工程 S110 では、配線 59 について、4 つの分岐点が検出される。また、駆動セル 50 は、回路の論理的な機能に影響を与えないセルであり、かつ、その出力端子が分岐点を有する配線 59 に接続されている。このため、削除候補検出工程 S114 では、駆動セル 50 が、削除可能バッファとして検出される。遅延量算出工程 S134 では、分岐点 a ～ d の後段側にある各配線上にダミーバッファを仮想的に挿入した場合の経路の遅延量と、ダミーバッファを仮想的に挿入しない場合の経路の遅延量とに加えて、駆動セル 50 を仮想的に削除した場合の経路の遅延量が算出される。

【0090】

挿入箇所決定工程 S144 では、遅延量算出工程 S134 で求めた遅延量に基づき、負荷分割用バッファの挿入箇所と、現実に削除すべき削除可能バッファとが求められる。以下では、例として、挿入箇所決定工程 S144 において、図 17 に示す挿入箇所 R に負荷分割用バッファを挿入し、駆動セル 50 を削除すると決定されたとする。この場合、レイアウト変更工程 S174 では、挿入箇所 R に負荷分割用バッファ 58 が配置され、駆動セル 50 は削除され、負荷分割用バッファ 58 および駆動セル 50 に接続される配線に関する配線情報が変更される。その結果、図 17 (a) に示すレイアウト結果は、図 17 (b) に示すように変更される。

【0091】

以上に示すように、本実施形態に係る設計方法によれば、駆動セルが複数の次段セルを駆動する場合において、タイミング制約が厳しい経路の長さは短い、配線容量と他の次段セルの入力ピン容量との合計値が大きいために、高い駆動能力を有する駆動セルが使用される場合には、タイミング制約が厳しくない次段セルを駆動するために新たに負荷分割用バッファを挿入するとともに、駆動セルを削除して、駆動セルの前段に位置する前段セルでタイミング制約が厳しい経路を駆動させることにより、回路の消費電力を削減することができる。

【0092】

また、本実施形態に係る設計方法における処理の他の具体例を、図18に示すレイアウト結果について説明する。図18におけるセルの配置およびセル間の配線は、図17に示したものと同一である。駆動セル60は、回路の論理的な機能に影響を与えないセルであり、駆動セル60から次段セル61～65までの5本の経路のうち、駆動セル60から次段セル63までの経路（太線で示す経路）のタイミング制約が最も厳しいものとする。

【0093】

また、挿入箇所決定工程S144において、図18に示す挿入箇所Sに負荷分割用バッファを挿入し、駆動セル60を削除すると決定されたとする。この場合、レイアウト変更工程S174では、挿入箇所Sに負荷分割用バッファ68が配置され、駆動セル60は削除され、負荷分割用バッファ68および駆動セル60に接続される配線に関する配線情報が変更される。その結果、図18（a）に示すレイアウト結果は、図18（b）に示すように変更される。

【0094】

以上に示すように、本実施形態に係る設計方法によれば、駆動セルが、タイミング制約が厳しい少数の次段セルと、タイミング制約が厳しくない多数の次段セルとを駆動する場合において、配線容量と他の次段セルの入力ピン容量との合計値が大きいために、高い駆動能力を有する駆動セルが使用される場合には、タイミング制約が厳しい経路上に新たに負荷分割用バッファを挿入して、当該経路の周辺部分のみを選択的に高速駆動するとともに、駆動セルを削除して、駆動セルの前段に位置する前段セルで他のタイミングが厳しくない経路を駆動することに

より、回路の消費電力を削減することができる。

【0 0 9 5】

以下、本実施形態に係る設計方法の効果を説明する。上述した第 1 の実施形態に係る設計方法によれば、分岐点より後段側にある配線上の所定の箇所に負荷分割用バッファを挿入するとともに、駆動セルの駆動能力を低くすることにより、回路の消費電力を削減することができる。本実施形態に係る設計方法は、第 1 の実施形態に係る方法に、処理対象のレイアウト結果から削除可能バッファを検出する処理と、レイアウト結果に対して、検出した削除可能バッファを削除する処理とを追加したものである。負荷分割用バッファを追加する処理と、削除可能バッファを削除する処理とを行うことは、バッファを移動させる処理を行うことに等しい。したがって、本実施形態に係る設計方法によれば、バッファの追加による回路の低消費電力化に加えて、バッファの移動による回路の低消費電力化を行うことができ、回路の低消費電力化の効果をさらに高めることができる。

【0 0 9 6】

(第 1 ないし第 5 の実施形態の変形例)

上述した各実施形態に係る設計方法について、各種の変形例を構成することができる。例えば、分岐点検出工程では、処理対象のレイアウト結果に含まれるすべての分岐点を検出してもよく、所定数の分岐点を検出してもよい。また、遅延量算出工程における遅延量の算出方法は、任意でよい。また、第 2 ないし第 4 の実施形態で示した、ダミーバッファ挿入箇所の制限による処理時間短縮方法を、第 5 の実施形態に係る設計方法に適用してもよい。

【0 0 9 7】

また、上述した各実施形態に係る設計方法のうち遅延量算出工程までの工程を、遅延情報算出方法として実行することもできる。具体的には、第 1 ないし第 4 の実施形態に係る設計方法のうち、分岐点検出工程 S 1 1 0 と、仮想負荷挿入工程 S 1 2 0 ～ 1 2 4 と、遅延量算出工程 S 1 3 0 とを、半導体集積回路に対して負荷分割を行った場合の遅延情報を算出する方法として実行することができる。また、第 5 の実施形態に係る設計方法のうち、分岐点検出工程 S 1 1 0 と、削除候補検出工程 S 1 1 4 と、仮想負荷挿入工程 S 1 2 0 と、遅延量算出工程 S 1 3

4 とを、遅延情報算出方法として実行することもできる。

【0 0 9 8】

このような遅延情報算出方法によれば、分岐点より後段側の配線上にダミーバッファを挿入した場合の遅延情報が得られる。得られた遅延情報を好適な方法で設計者に提示することにより、設計者は、回路における負荷の分布状況を容易に把握することができる。また、設計者は、ダミーバッファの挿入に伴う経路の遅延量の変動状況を把握し、回路のレイアウト結果に含まれる設計マージンを検出することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る設計方法の工程図

【図 2】

本発明の第 1 の実施形態に係る設計方法の前半部分の工程の詳細を示すフローチャート

【図 3】

本発明の第 1 の実施形態に係る設計方法の前半部分の工程を説明するためのレイアウト結果を示す図

【図 4】

図 3 に示す回路の抵抗成分と容量成分とを示す図

【図 5】

図 3 に示す回路にダミーバッファを挿入した場合の抵抗成分と容量成分とを示す図

【図 6】

本発明の第 1 の実施形態に係る設計方法の後半部分の工程の詳細を示すフローチャート

【図 7】

本発明の第 1 の実施形態に係る設計方法の後半部分の工程を説明するためのレイアウト結果を示す図

【図 8】

本発明の第 1 の実施形態に係る設計方法の後半部分の工程を説明するための他のレイアウト結果を示す図

【図 9】

本発明の第 2 の実施形態に係る設計方法の工程図

【図 1 0】

本発明の第 2 ないし第 4 の実施形態に係る設計方法による処理時間の短縮を説明するためのレイアウト結果を示す図

【図 1 1】

本発明の第 3 の実施形態に係る設計方法の工程図

【図 1 2】

本発明の第 4 の実施形態に係る設計方法の工程図

【図 1 3】

本発明の第 2 ないし第 4 の実施形態の変形例に係る設計方法の工程図

【図 1 4】

図 1 3 に示す設計方法における条件付き仮想負荷挿入工程の詳細を示すフローチャート

【図 1 5】

本発明の第 5 の実施形態に係る設計方法の工程図

【図 1 6】

本発明の第 5 の実施形態に係る設計方法の前半部分の工程の詳細を示すフローチャート

【図 1 7】

本発明の第 5 の実施形態に係る設計方法を説明するためのレイアウト結果を示す図

【図 1 8】

本発明の第 5 の実施形態に係る設計方法を説明するための他のレイアウト結果を示す図

【図 1 9】

従来の半導体集積回路の低消費電力化設計方法の工程図

【符号の説明】

1 0、2 0、3 0、4 0、5 0、6 0…駆動セル

1 1～1 3、2 1～2 5、3 1～3 5、4 1～4 5、5 1～5 5、6 1～6 5

…次段セル

2 6、3 6、5 6、6 6…前段セル

5 7、6 7…他のセル

1 8…ダミーバッファ

2 7、3 7、5 8、6 8…負荷分割用バッファ

1 9、2 9、3 9、4 9、5 9、6 9…配線

S 1 1 0…分岐点検出工程

S 1 1 4…削除候補検出工程

S 1 2 0～S 1 2 4…仮想負荷挿入工程

S 1 3 0、S 1 3 4…遅延量算出工程

S 1 4 0、S 1 4 4…挿入箇所決定工程

S 1 5 0…駆動能力算出工程

S 1 6 0…レイアウト可否判定工程

S 1 7 0、1 7 4…レイアウト変更工程

S 1 8 1…分岐後全負荷容量算出工程

S 1 8 2…全負荷容量算出工程

S 1 8 3、S 1 8 5、S 1 8 7、S 1 8 8…条件付き仮想負荷挿入工程

S 1 8 4…系統別全負荷容量算出工程

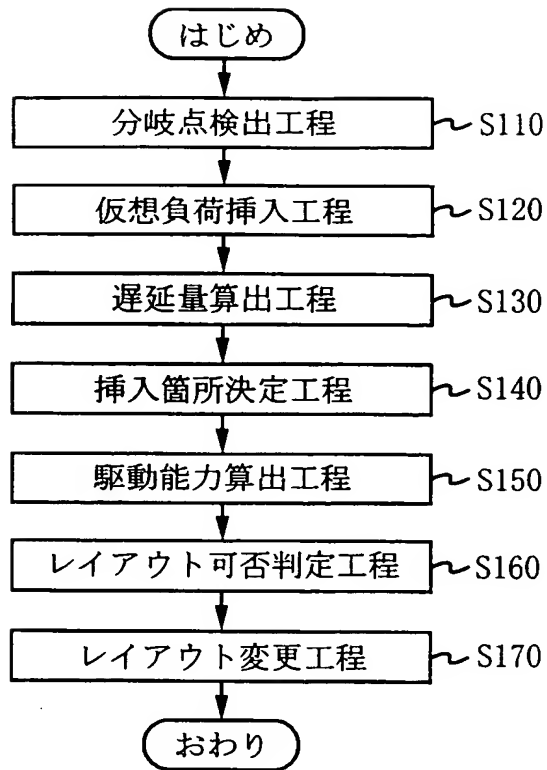
S 1 8 6…系統別タイミング制約算出工程

a～d…分岐点

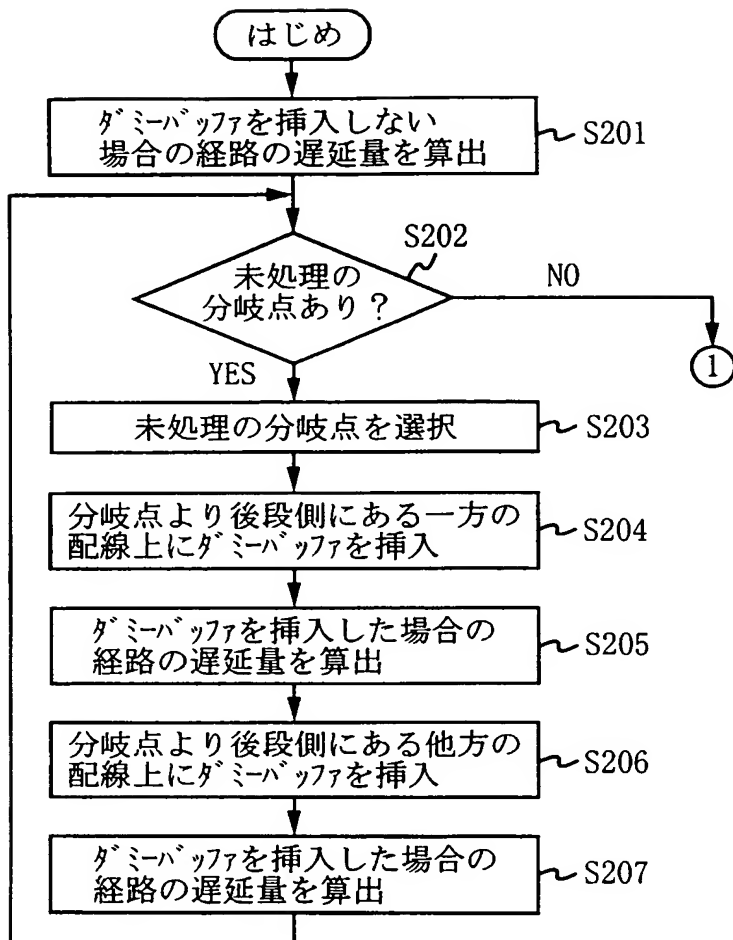
N a 1、N a 2…分岐点 a より後段側の配線

【書類名】 図面

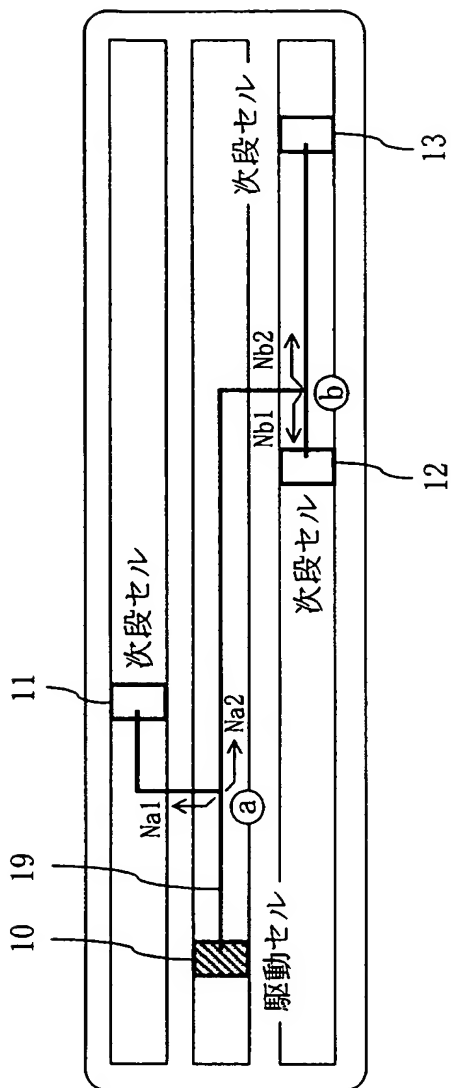
【図 1】



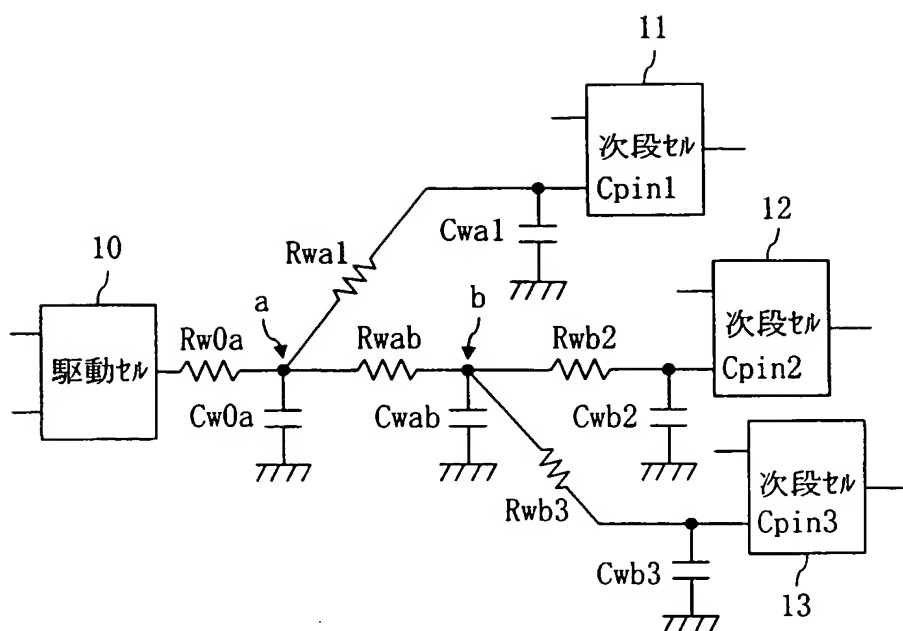
【図 2】



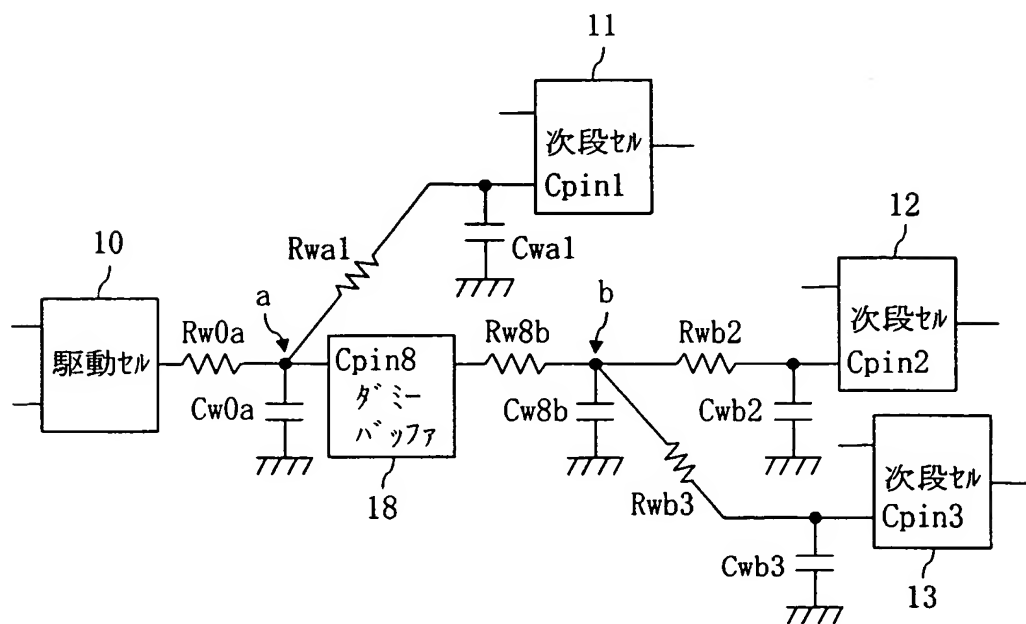
【図 3】



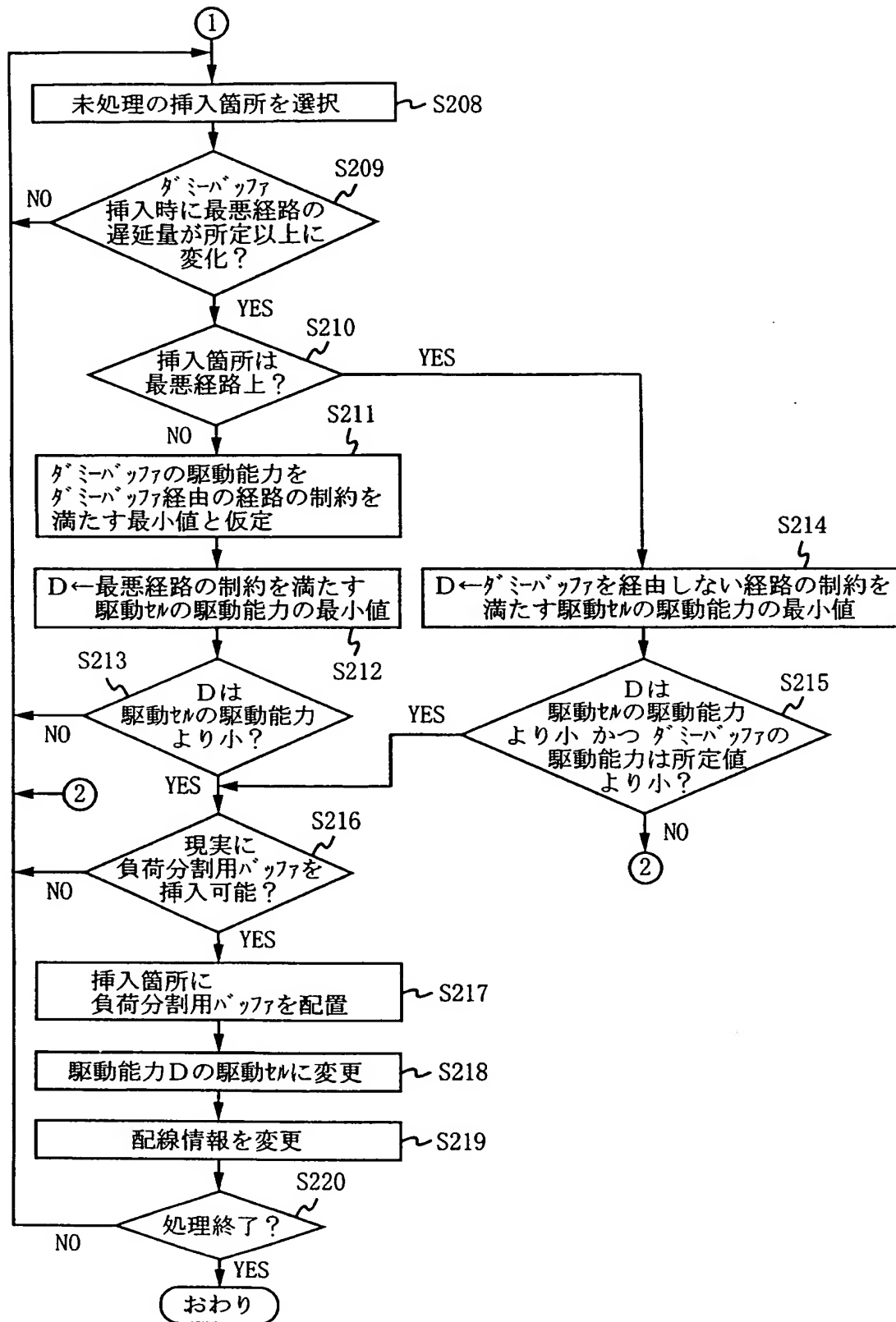
【図 4】



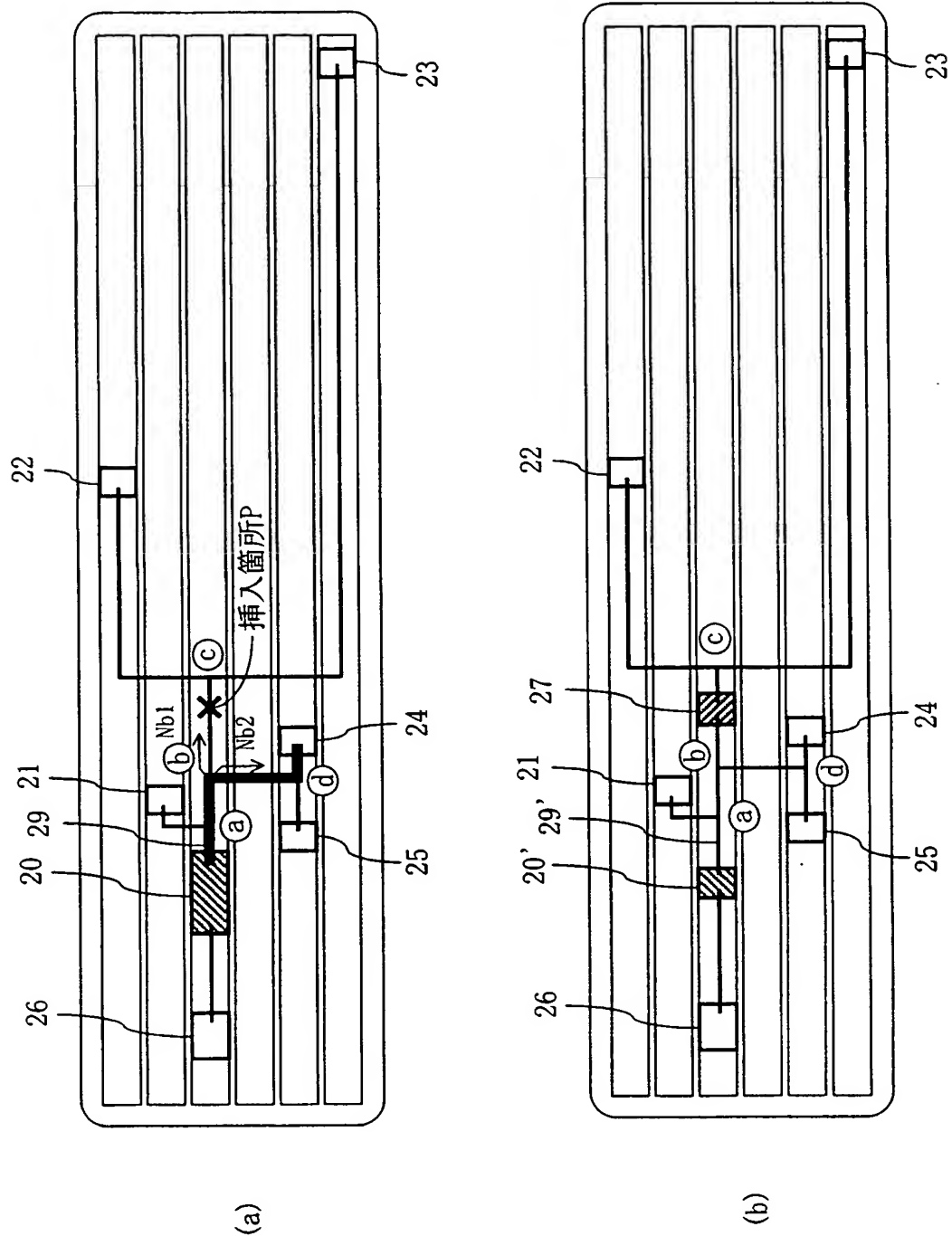
【図 5】



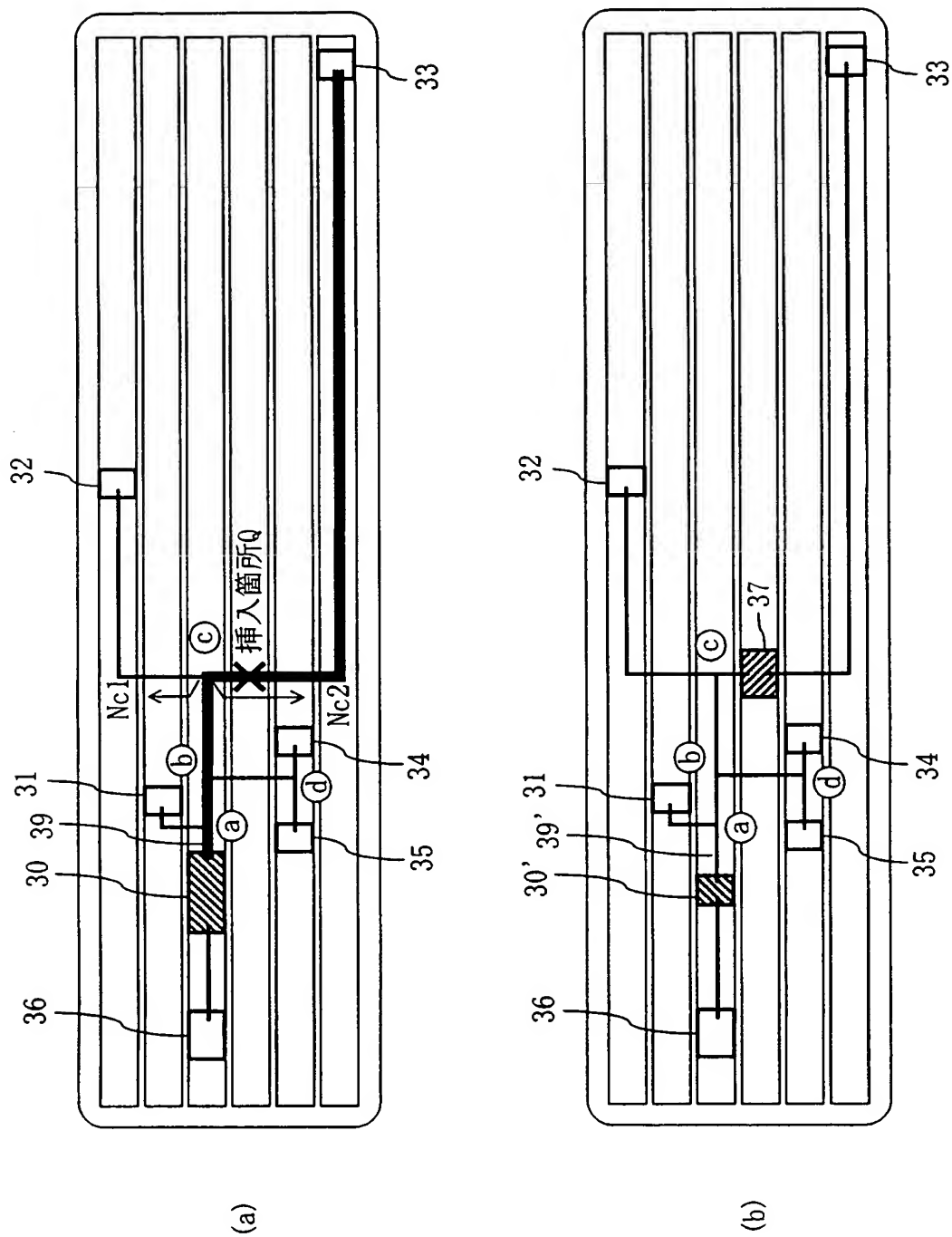
【図 6】



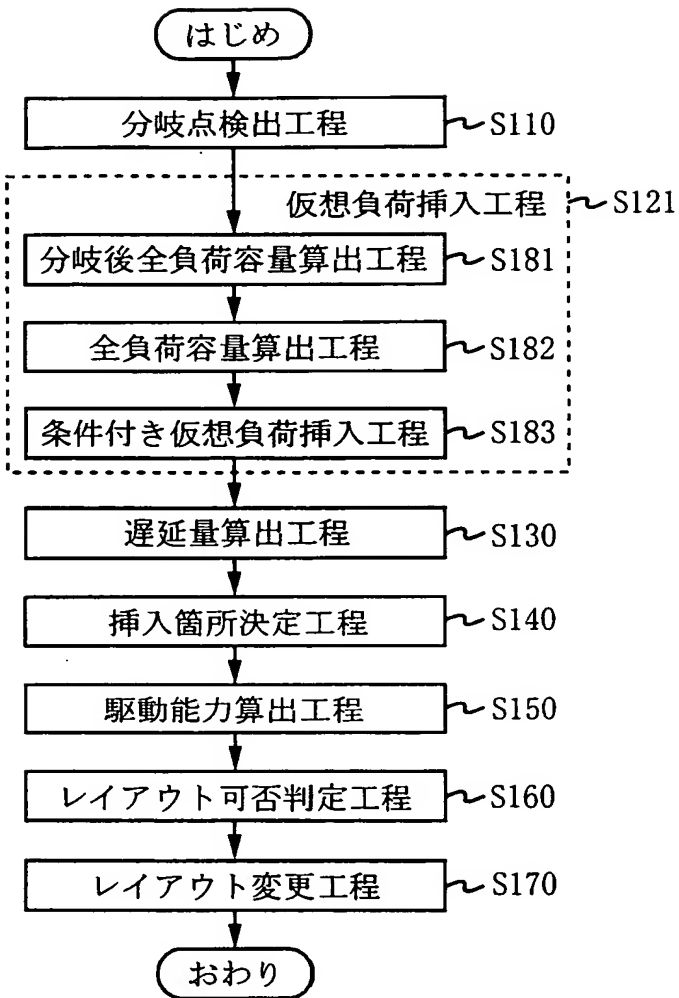
【図 7】



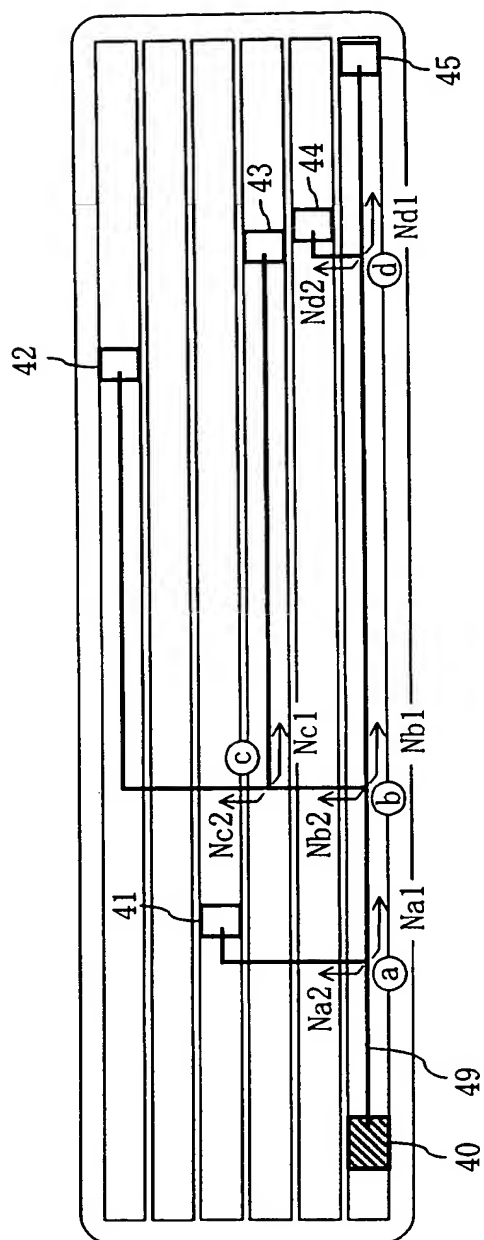
【図 8】



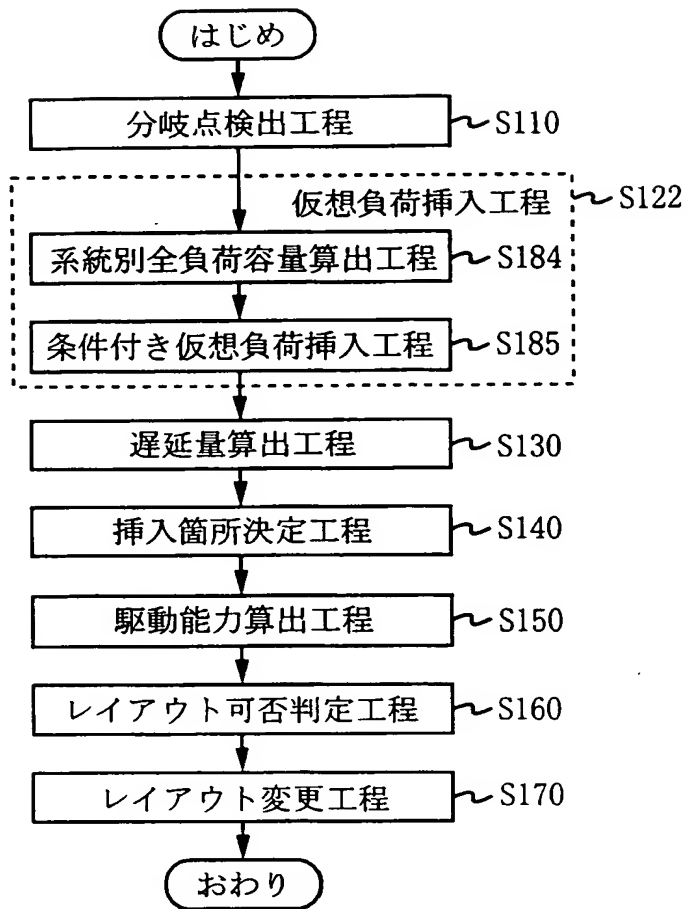
【図 9】



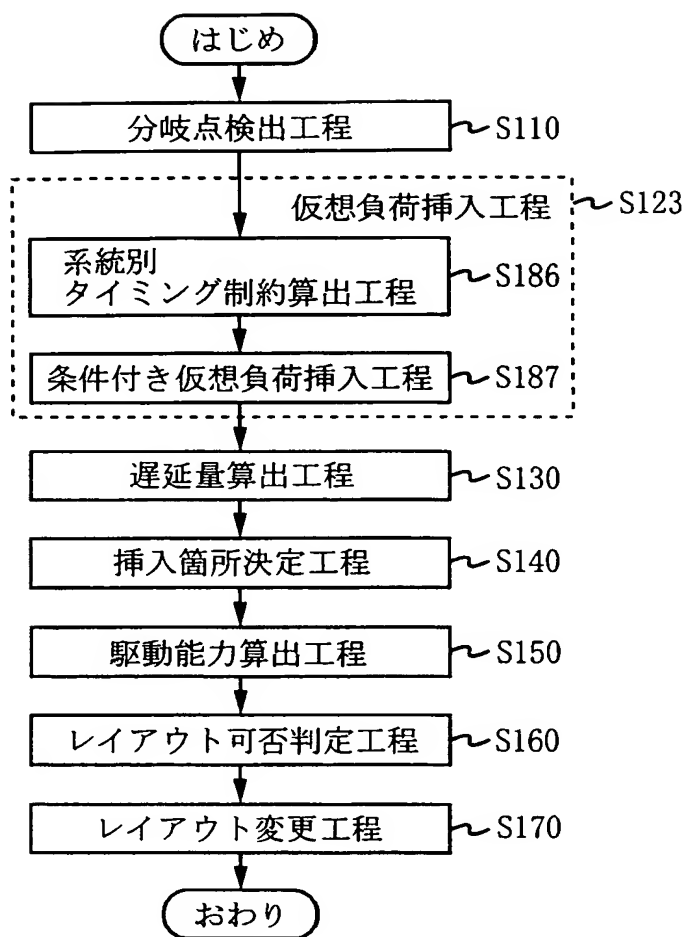
【図 10】



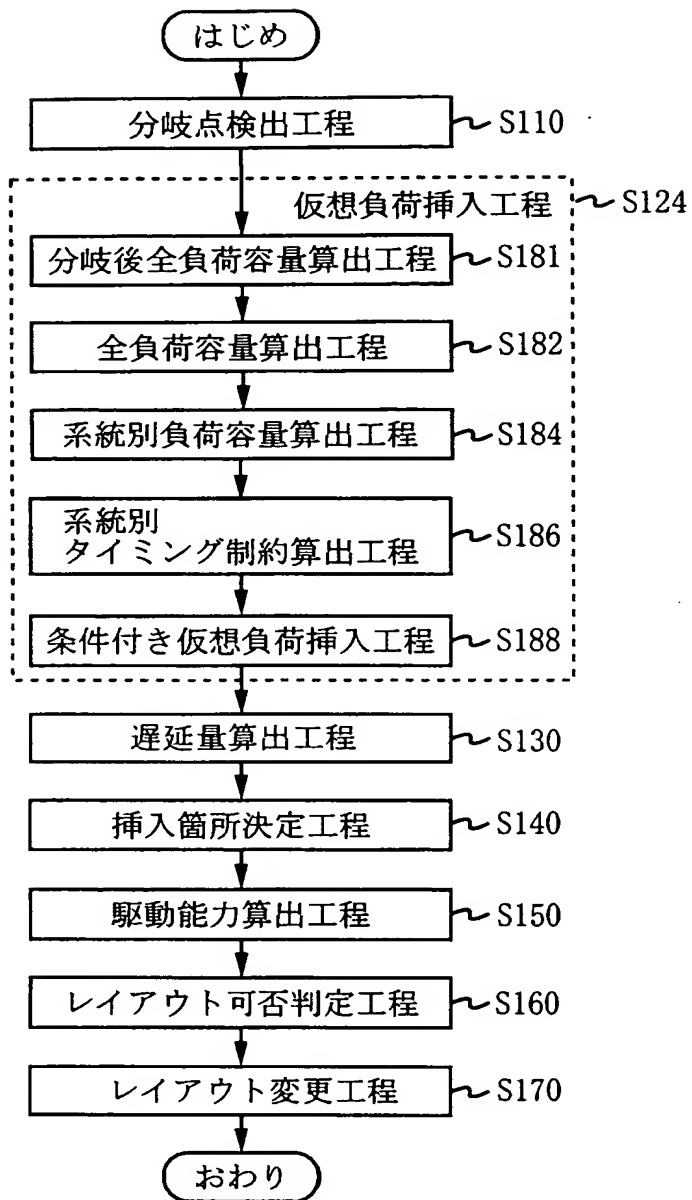
【図 11】



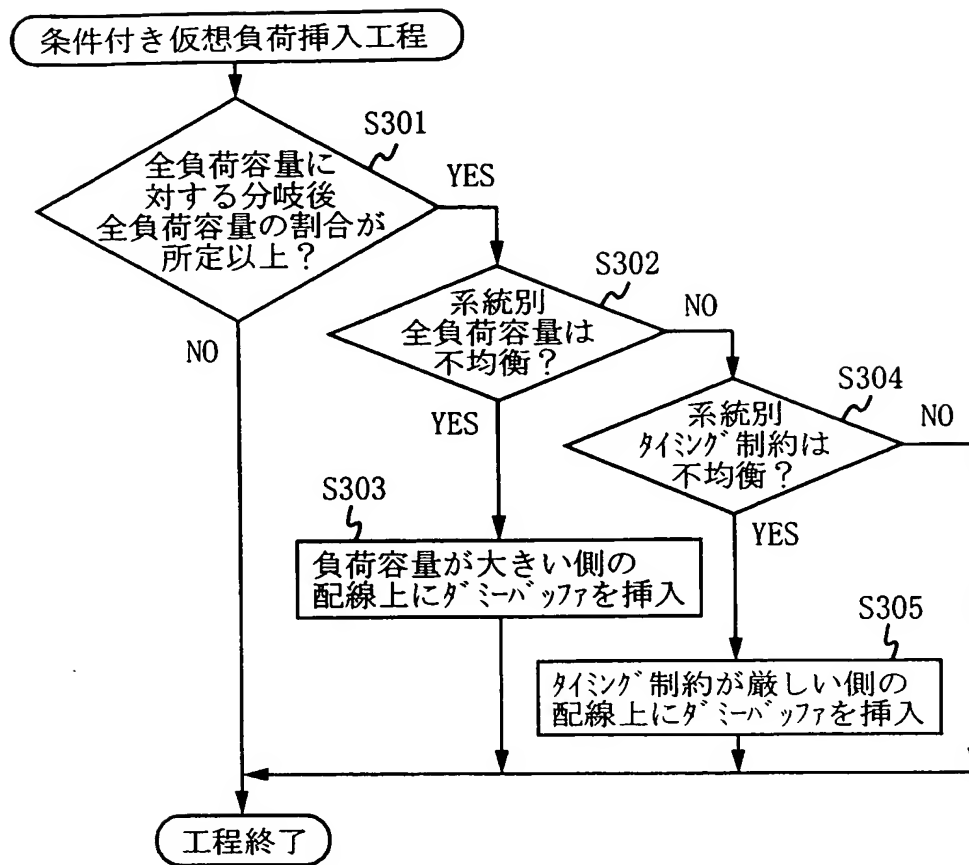
【図 12】



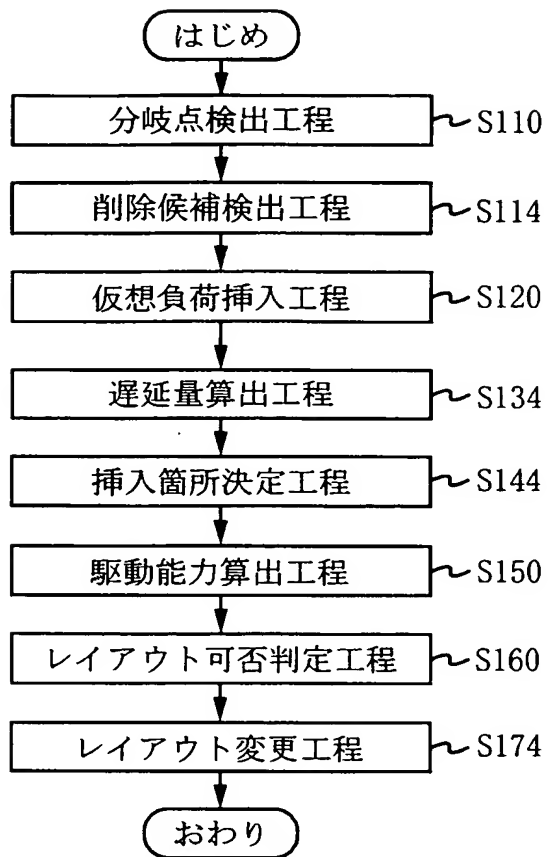
【図 13】



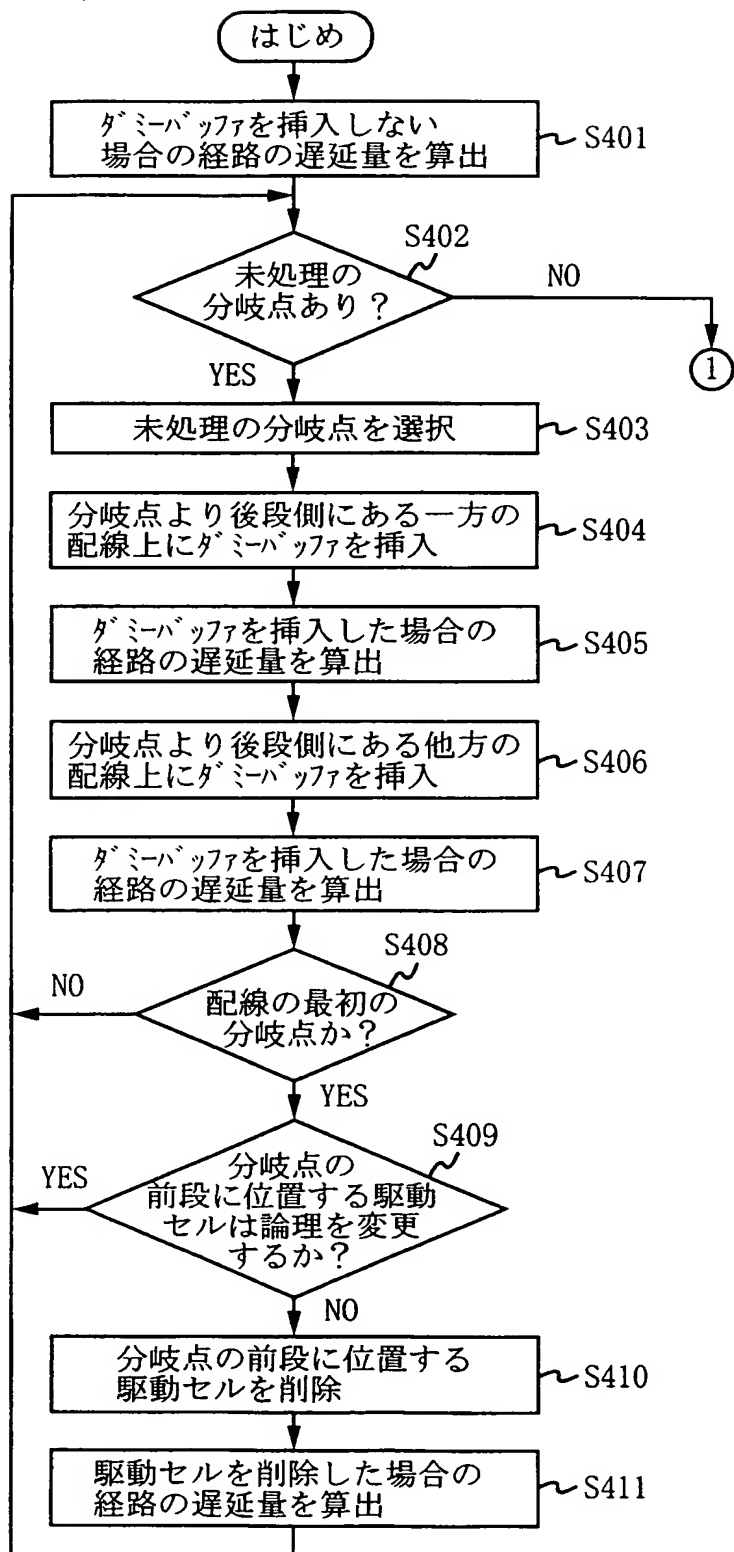
【図 14】



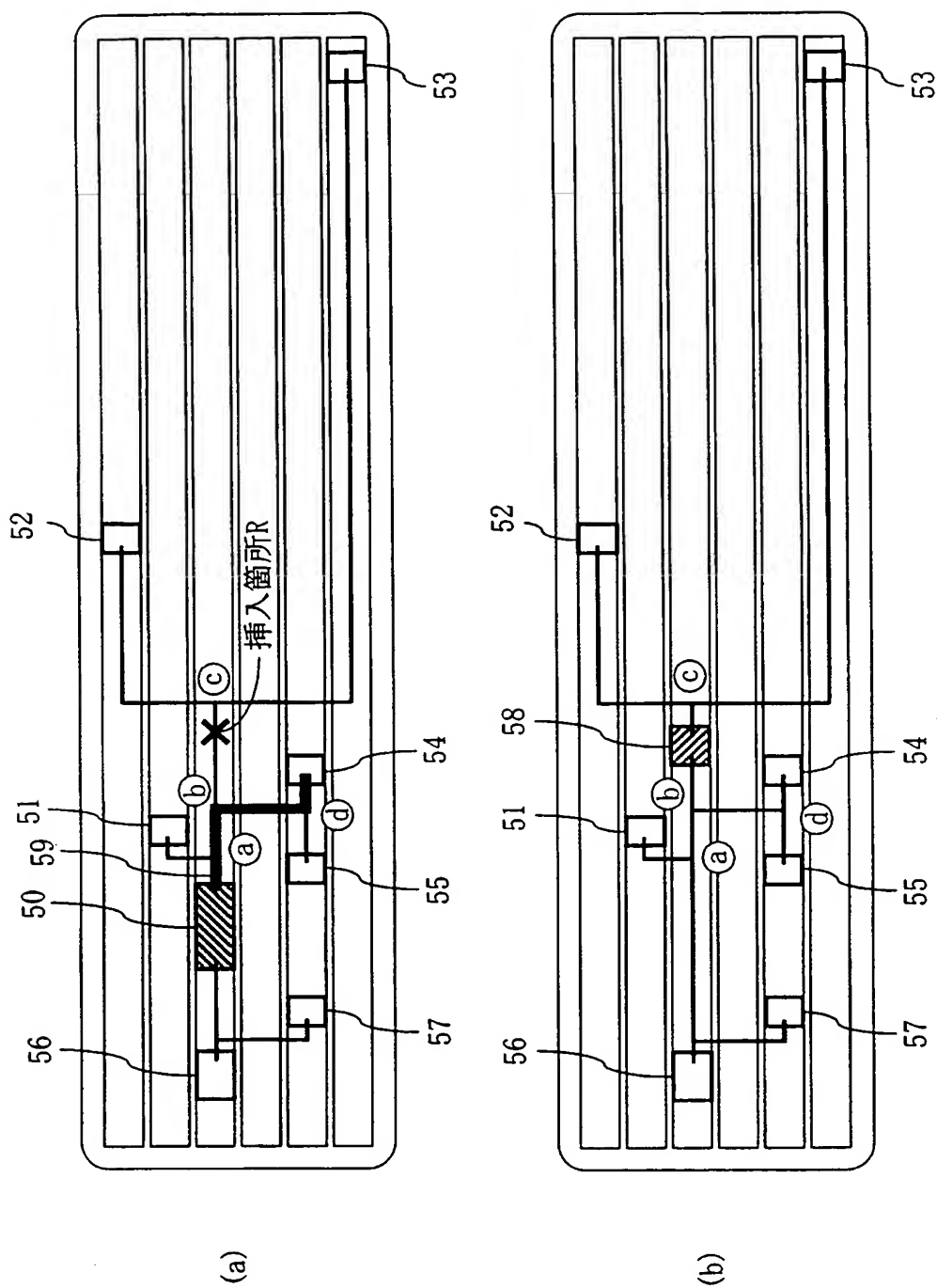
【図 15】



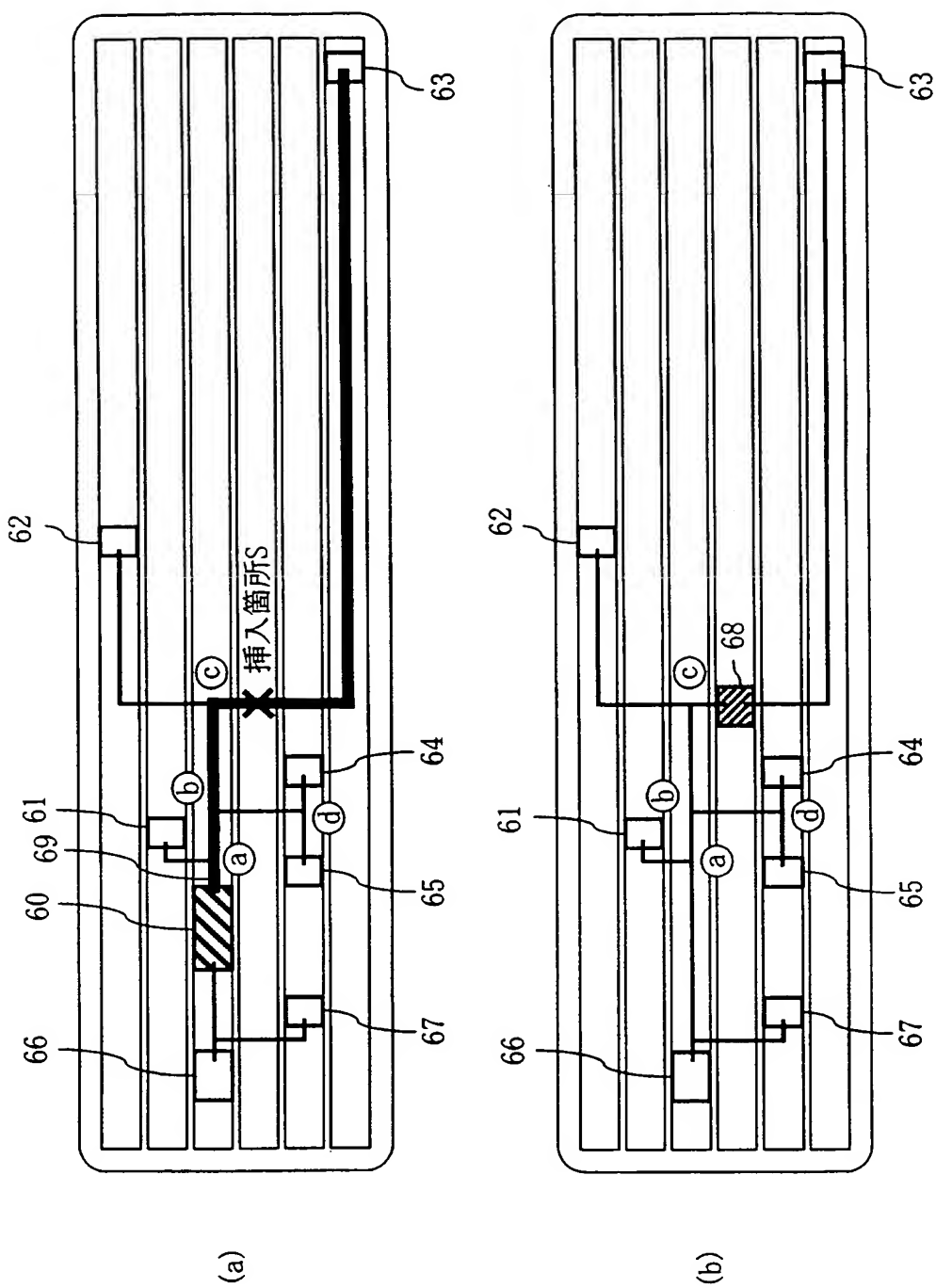
【図 16】



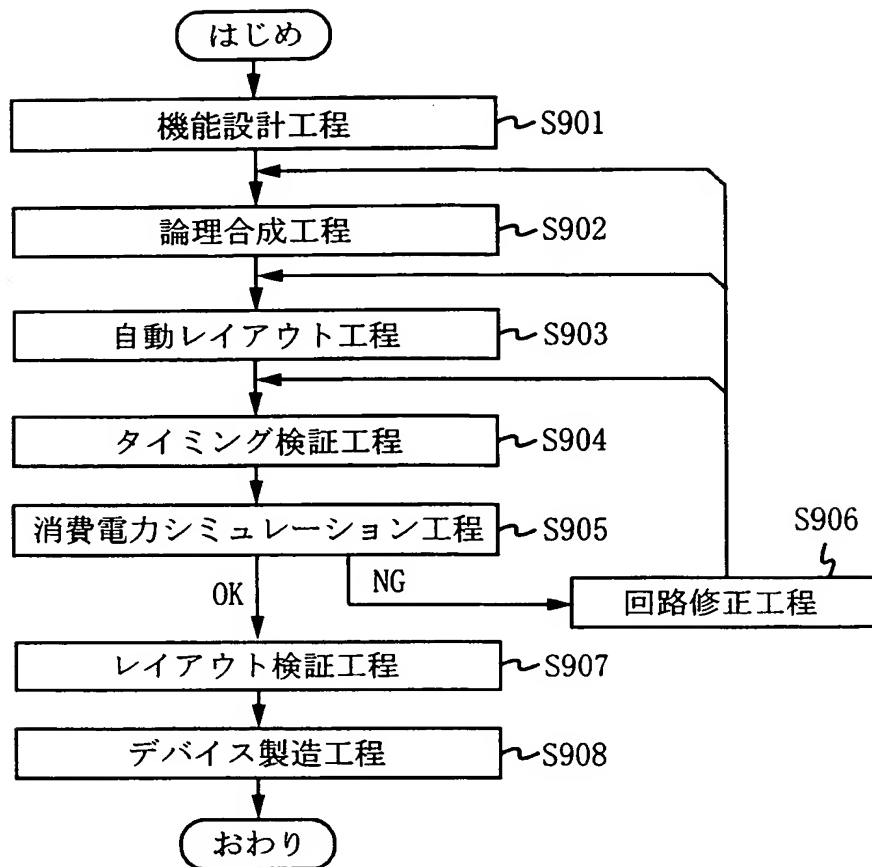
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 トップダウン設計手法によって設計された回路に含まれる設計マージンを削除し、回路の消費電力を削減する。

【解決手段】 レイアウト結果から配線の分岐点を検出し（S 1 0 1）、分岐点より後段側にある配線上にダミーバッファを挿入した（S 1 0 2）場合と、挿入しない場合の経路の遅延量を求める（S 1 0 3）。求めた遅延量に基づき負荷分割用バッファの挿入箇所を決定し（S 1 0 4）、決定した挿入箇所に負荷分割用バッファを挿入するとの条件の下で、タイミング制約を満たすように、挿入箇所の前段に位置する駆動セルの駆動能力を算出する（S 1 0 5）。決定した挿入箇所に負荷分割用バッファを挿入可能であることを確認した後（S 1 0 6）、レイアウト結果に対して、負荷分割用バッファを配置する処理と、駆動セルの駆動能力を変更する処理と、配線情報を変更する処理とを行う（S 1 0 7）。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 2 2 7 1 7
受付番号	5 0 3 0 0 7 0 5 3 4 2
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 4 月 2 8 日

< 認定情報・付加情報 >

【提出日】	平成15年 4月25日
-------	-------------

次頁無



特願 2 0 0 3 - 1 2 2 7 1 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社